

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPT**

**THIS PAGE BLANK (USPTO)**

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年4月26日 (26.04.2001)

PCT

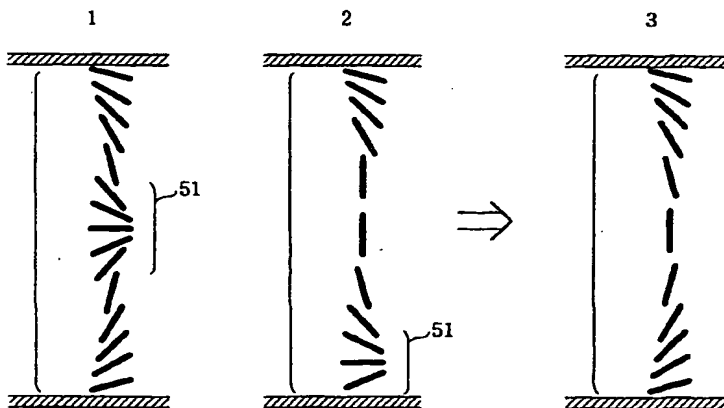
(10) 国際公開番号  
WO 01/29612 A1

- (51) 国際特許分類<sup>7</sup>: G02F 1/137, 1/133 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP00/07291
- (22) 国際出願日: 2000年10月19日 (19.10.2000)
- (25) 国際出願の言語: 日本語 (72) 発明者; および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 中村美香 (NAKA-MURA, Mika) [JP/JP]; 〒573-0086 大阪府枚方市香里園町14-20-303 Osaka (JP). 足達克己 (ADACHI, Katsumi) [JP/JP]; 〒639-0223 奈良県香芝市真美ヶ丘7-8-10 Nara (JP). 川崎清弘 (KAWASAKI, Kiyohiro) [JP/JP]; 〒573-1118 大阪府枚方市楠葉並木1-8-3 Osaka (JP). 服部勝治 (HATTORI, Katsuji) [JP/JP]; 〒665-0002 兵庫県宝塚市月見山1-16-4 Hyogo (JP).
- (30) 優先権データ:  
特願平 11/296329  
1999年10月19日 (19.10.1999) JP  
特願平 11/344477 1999年12月3日 (03.12.1999) JP  
特願平 2000-30046 2000年2月8日 (08.02.2000) JP  
特願平 2000-114870  
2000年4月17日 (17.04.2000) JP  
特願平 2000-129146  
2000年4月28日 (28.04.2000) JP
- (74) 代理人: 大前 要 (OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前2階 Osaka (JP).

[続葉有]

(54) Title: DRIVE TECHNIQUE FOR STARTING LIQUID CRYSTAL DEVICE

(54) 発明の名称: 液晶装置の立上げ用駆動技術



(57) Abstract: A liquid crystal panel quick in response and wide in field of vision, adapted to transfer a liquid crystal called an OCB type to bend orientation in a short time, wherein a period of time is provided in which a potential difference higher than that at the time of a normal image display is continuously applied between the gate line of the liquid crystal panel and the counter electrode or between a pixel electrode and the counter electrode. Further, ingenious ideas have been put into the period of time for the continuous application of a potential difference and into the construction of pixels.

(57) 要約:

OCB型と呼ばれる液晶を短時間でベンド配向に転移させ、高速応答で広視野角な液晶パネルを提供するために、液晶パネルのゲート線と対向電極、または画素電極と対向電極の間に通常映像表示時よりも高い電位差を連続的に印加する期間を設ける。

また、電位差を連続的に印加する期間や、画素の構造に工夫を凝らしている。

TOPT90-44129612

WO 01/29612 A1



(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## INTERNATIONAL SEARCH REPORT

International application No.

CT/JP00/07291

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G02F 1/137  
G02F 1/133

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G02F 1/137  
G02F 1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-2000  
Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X  A	JP, 9-185037, A (International Business Machines Corp.), 15 July, 1997 (15.07.97), page 2, left column, lines 2 to 11; page 2, left column, lines 27-46; page 3, left column, lines 30 to 40; page 3, right column, line 27 to page 4, right column, line 17; page 5, left column, line 49 to right column, line 35; Figs. 1 to 4, 8 to 10 (Family: none)	1-4, 8, 9, 37, 38, 41-46  5-7, 10-36, 39, 4 0, 47-57

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not  
 considered to be of particular relevance  
 "E" earlier document but published on or after the international filing  
 date  
 "L" document which may throw doubts on priority claim(s) or which is  
 cited to establish the publication date of another citation or other  
 special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other  
 means  
 "P" document published prior to the international filing date but later  
 than the priority date claimed

"T" later document published after the international filing date or  
 priority date and not in conflict with the application but cited to  
 understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be  
 considered novel or cannot be considered to involve an inventive  
 step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be  
 considered to involve an inventive step when the document is  
 combined with one or more other such documents, such  
 combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
13 December, 2000 (13.12.00)

Date of mailing of the international search report  
26 December, 2000 (26.12.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USPTO)**

## PCT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname  
2F, Lions Building Ohtemae  
2-3-14, Uchihiranomachi  
Chuo-ku, Osaka-shi, Osaka 540-0087  
JAPON

受領

13.2.23

大前特許事務所

Date of mailing (day/month/year) 12 February 2001 (12.02.01)	
Applicant's or agent's file reference P23783-PO (FP 00044 / PCT)	IMPORTANT NOTIFICATION
International application No. PCT/JP00/07291	International filing date (day/month/year) 19 October 2000 (19.10.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 19 October 1999 (19.10.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
19 Octo 1999 (19.10.99)	11/296329	JP	26 Janu 2001 (26.01.01)
03 Dece 1999 (03.12.99)	11/344477	JP	26 Janu 2001 (26.01.01)
08 Febr 2000 (08.02.00)	2000/30046	JP	26 Janu 2001 (26.01.01)
17 Apri 2000 (17.04.00)	2000/114870	JP	26 Janu 2001 (26.01.01)
28 Apri 2000 (28.04.00)	2000/129146	JP	26 Janu 2001 (26.01.01)

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Taïeb Akremi

Telephone No. (41-22) 338.83.38

**THIS PAGE BLANK (USPTO)**



# INTERNATIONAL COOPERATION TREATY

PCT

## NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname  
2F, Lions Building Ohtemae  
2-3-14, Uchihiranomachi  
Chuo-ku, Osaka-shi, Osaka 540-0037  
JAPON



Date of mailing (day/month/year) 26 April 2001 (26.04.01)		
Applicant's or agent's file reference P23783-P0 <i>FP 00044/PCT</i>		IMPORTANT NOTICE
International application No. PCT/JP00/07291	International filing date (day/month/year) 19 October 2000 (19.10.00)	
Priority date (day/month/year) 19 October 1999 (19.10.99)		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:  
KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:  
CN,EP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 26 April 2001 (26.04.01) under No. WO 01/29612

### REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

### REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

<p>The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No. (41-22) 740.14.35</p>	<p>Authorized officer J. Zahra</p> <p>Telephone No. (41-22) 338.83.38</p>
---	---



## PCT COOPERATION TREATY

PCT

NOTIFICATION OF RECEIPT OF  
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname  
2F, Lions Building Ohtemae  
2-3-14, Uchihiranomachi  
Chuo-ku, Osaka-shi, Osaka 540-0037  
JAPON

FP 000 44

Date of mailing (day/month/year) 16 November 2000 (16.11.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference P23783-P0	International application No. PCT/JP00/07291

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. (for all designated States except US)  
NAKAMURA, Mika et al (for US)

International filing date : 19 October 2000 (19.10.00)  
Priority date(s) claimed : 19 October 1999 (19.10.99)  
03 December 1999 (03.12.99)  
08 February 2000 (08.02.00)  
17 April 2000 (17.04.00)  
28 April 2000 (28.04.00)

Date of receipt of the record copy  
by the International Bureau : 06 November 2000 (06.11.00)

List of designated Offices :

EP : AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE  
National : CN, KR, US

## ATTENTION

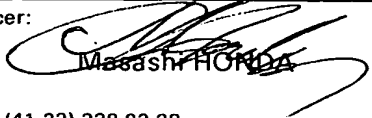
The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase  
☒ confirmation of precautionary designations  
☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.



<p>The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No. (41-22) 740.14.35</p>	<p>Authorized officer:  Masashi HONDA</p> <p>Telephone No. (41-22) 338.83.38</p>
---	---

**THIS PAGE BLANK (USPTO)**

## 国際調査報告

(法8条、法施行規則第40、41条)  
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 P 2 3 7 8 3 - P 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 0 0 / 0 7 2 9 1	国際出願日 (日.月.年) 1 9 . 1 0 . 0 0	優先日 (日.月.年) 1 9 . 1 0 . 9 9
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は

☐ 出願人が提出したものを承認する。

☒ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☐ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☒ 本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**

## 第Ⅲ欄 要約（第1ページの5の続き）

OCB型と呼ばれる液晶を短時間でベンド配向に転移させ、高速応答で広視野角な液晶パネルを提供するために、液晶パネルのゲート線と対向電極、または画素電極と対向電極の間に通常映像表示時よりも高い電位差を連続的に印加する期間を設ける。

また、電位差を連続的に印加する期間や、画素の構造に工夫を凝らしている。

**THIS PAGE BLANK (USPTO)**



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> G02F 1/137  
G02F 1/133

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> G02F 1/137  
G02F 1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-2000年  
日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 9-185037, A (インターナショナル・ビジネス・マシーンズ・コーポレーション), 15. 7月. 1997 (15. 07. 97), 第2頁左欄第2~11行, 同頁左欄第27~46行, 第3頁左欄第30~40行, 同頁右欄第27行~第4頁右欄第17行, 第5頁左欄第49行~同頁右欄第35行, 第1~4図, 第8~10図 (ファミリーなし)	1-4, 8, 9, 37, 38, 41-46
A		5-7, 10-36, 39, 40, 47-57

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

13. 12. 00

国際調査報告の発送日

26.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J.P.)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉野 公夫



2X

8106

電話番号 03-3581-1101 内線 3293

**THIS PAGE BLANK (USPTO)**

## 特許協力条約に基づく国際出願願書

P23783-P0

原本（出願用） - 印刷日時 2000年10月19日（19.10.2000）木曜日 15時49分10秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/R0/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 10.10.2000)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	P23783-P0
I	発明の名称	液晶装置の立上げ用駆動技術
II	出願人	出願人である (applicant only)
II-1	この欄に記載した者は	米国を除くすべての指定国 (all designated States except US)
II-2	右の指定国についての出願人である。	
II-4ja	名称	松下電器産業株式会社
II-4en	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5ja	あて名:	571-8501 日本国 大阪府 門真市 大字門真1006番地
II-5en	Address:	1006, Oaza-Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	06-6908-5831
II-9	ファクシミリ番号	06-6906-8166
III-1	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor)
III-1-1	この欄に記載した者は	米国のみ (US only)
III-1-2	右の指定国についての出願人である。	
III-1-4ja	氏名(姓名)	中村 美香
III-1-4en	Name (LAST, First)	NAKAMURA, Mika
III-1-5ja	あて名:	573-0086 日本国 大阪府 枚方市 香里園町14-20-303
III-1-5en	Address:	14-20-303, Koriiencho Hirakata-shi, Osaka 573-0086 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

**THIS PAGE BLANK (USPTO)**

## 特許協力条約に基づく国際出願願書

P23783-P0

原本（出願用） - 印刷日時 2000年10月19日（19.10.2000）木曜日 15時49分10秒

III-2	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-2-1	この欄に記載した者は	
III-2-2	右の指定国についての出願人である。	
III-2-4ja	氏名(姓名)	
III-2-4en	Name (LAST, First)	
III-2-5ja	あて名:	
III-2-5en	Address:	
III-2-6	国籍 (国名)	足達 克己 ADACHI, Katsumi 639-0223 日本国 奈良県 香芝市 真美ヶ丘7-8-10 7-8-10, Mamigaoka Kashiba-shi, Nara 639-0223 Japan
III-2-7	住所 (国名)	日本国 JP 日本国 JP
III-3	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-3-1	この欄に記載した者は	
III-3-2	右の指定国についての出願人である。	
III-3-4ja	氏名(姓名)	
III-3-4en	Name (LAST, First)	
III-3-5ja	あて名:	
III-3-5en	Address:	
III-3-6	国籍 (国名)	川崎 清弘 KAWASAKI, Kiyohiro 573-1118 日本国 大阪府 枚方市 楠葉並木1-8-3 1-8-3, Kuzuhanamiki Hirakata-shi, Osaka 573-1118 Japan
III-3-7	住所 (国名)	日本国 JP 日本国 JP
III-4	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-4-1	この欄に記載した者は	
III-4-2	右の指定国についての出願人である。	
III-4-4ja	氏名(姓名)	
III-4-4en	Name (LAST, First)	
III-4-5ja	あて名:	
III-4-5en	Address:	
III-4-6	国籍 (国名)	服部 勝治 HATTORI, Katsuji 665-0002 日本国 兵庫県 宝塚市 月見山1-16-4 1-16-4, Tsukimiyama Takarazuka-shi, Hyogo 665-0002 Japan
III-4-7	住所 (国名)	日本国 JP 日本国 JP

**THIS PAGE BLANK (USPTO)**

## 特許協力条約に基づく国際出願願書

P23783-P0

原本(出願用) - 印刷日時 2000年10月19日 (19.10.2000) 木曜日 15時49分10秒

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のこことく出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名(姓名)	大前 要
IV-1-1en	Name (LAST, First)	OHMAE, Kaname
IV-1-2ja	あて名:	540-0037 日本国 大阪府 大阪市中央区 内平野町2-3-14 ライオンズビル大手前2階
IV-1-2en	Address:	2F, Lions Bldg. Ohtemae 2-3-14, Uchihiranomachi Chuo-ku, Osaka-shi, Osaka 540-0037 Japan
IV-1-3	電話番号	06-6946-3591
IV-1-4	ファクシミリ番号	06-6946-3593
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE 及びヨーロッパ特許条約と特許協力条約の締約国である他の国
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN KR US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)
VI-1	先の国内出願に基づく優先権主張	
VI-1-1	先の出願日	1999年10月19日 (19.10.1999)
VI-1-2	先の出願番号	特願平11-296329
VI-1-3	国名	日本国 JP
VI-2	先の国内出願に基づく優先権主張	
VI-2-1	先の出願日	1999年12月03日 (03.12.1999)
VI-2-2	先の出願番号	特願平11-344477
VI-2-3	国名	日本国 JP
VI-3	先の国内出願に基づく優先権主張	
VI-3-1	先の出願日	2000年02月08日 (08.02.2000)
VI-3-2	先の出願番号	特願2000-030046
VI-3-3	国名	日本国 JP


**THIS PAGE BLANK (USPTO)**



## 特許協力条約に基づく国際出願願書

P23783-P0

原本（出願用） - 印刷日時 2000年10月19日（19.10.2000）木曜日 15時49分10秒

VI-4	先の国内出願に基づく優先権主張		
VI-4-1	先の出願日	2000年04月17日（17.04.2000）	
VI-4-2	先の出願番号	特願2000-114870	
VI-4-3	国名	日本国 JP	
VI-5	先の国内出願に基づく優先権主張		
VI-5-1	先の出願日	2000年04月28日（28.04.2000）	
VI-5-2	先の出願番号	特願2000-129146	
VI-5-3	国名	日本国 JP	
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	52	-
VIII-3	請求の範囲	16	-
VIII-4	要約	1	p23783-p0.txt
VIII-5	図面	38	-
VIII-7	合計	111	
VIII-8	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-18	要約書とともに提示する図の番号	38	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	大前 要	

## 受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

## 国際事務局記入欄

II-1	記録原本の受理の日	
------	-----------	--

**THIS PAGE BLANK (USPTO)**

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年4月26日 (26.04.2001)

PCT

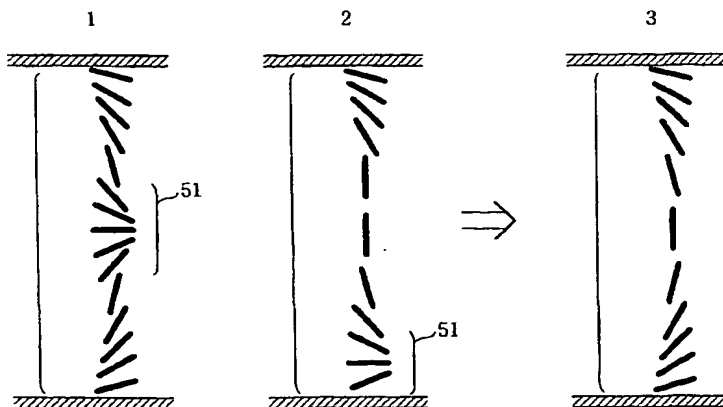
(10) 国際公開番号  
WO 01/29612 A1

- (51) 国際特許分類<sup>7</sup>: G02F 1/137, 1/133 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP00/07291
- (22) 国際出願日: 2000年10月19日 (19.10.2000)
- (25) 国際出願の言語: 日本語 (72) 発明者; および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 中村美香 (NAKAMURA, Mika) [JP/JP]; 〒573-0086 大阪府枚方市香里園町14-20-303 Osaka (JP). 足達克己 (ADACHI, Katsumi) [JP/JP]; 〒639-0223 奈良県香芝市真美ヶ丘7-8-10 Nara (JP). 川崎清弘 (KAWASAKI, Kiyohiro) [JP/JP]; 〒573-1118 大阪府枚方市楠葉並木1-8-3 Osaka (JP). 服部勝治 (HATTORI, Katsuji) [JP/JP]; 〒665-0002 兵庫県宝塚市月見山1-16-4 Hyogo (JP).
- (30) 優先権データ:  
特願平 11/296329 1999年10月19日 (19.10.1999) JP  
特願平 11/344477 1999年12月3日 (03.12.1999) JP  
特願平 2000-30046 2000年2月8日 (08.02.2000) JP  
特願平 2000-114870 2000年4月17日 (17.04.2000) JP  
特願平 2000-129146 2000年4月28日 (28.04.2000) JP
- (74) 代理人: 大前 要 (OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前2階 Osaka (JP).

[続葉有]

(54) Title: DRIVE TECHNIQUE FOR STARTING LIQUID CRYSTAL DEVICE

(54) 発明の名称: 液晶装置の立上げ用駆動技術



(57) Abstract: A liquid crystal panel quick in response and wide in field of vision, adapted to transfer a liquid crystal called an OCB type to bend orientation in a short time, wherein a period of time is provided in which a potential difference higher than that at the time of a normal image display is continuously applied between the gate line of the liquid crystal panel and the counter electrode or between a pixel electrode and the counter electrode. Further, ingenious ideas have been put into the period of time for the continuous application of a potential difference and into the construction of pixels.

(57) 要約:

OCB型と呼ばれる液晶を短時間でベンド配向に転移させ、高速応答で広視野角な液晶パネルを提供するために、液晶パネルのゲート線と対向電極、または画素電極と対向電極の間に通常映像表示時よりも高い電位差を連続的に印加する期間を設ける。

また、電位差を連続的に印加する期間や、画素の構造に工夫を凝らしている。



(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

## 液 晶 装 置 の 立 上 げ 用 駆 動 技 術

5

## 技 術 分 野

本発明は液晶装置に関し、特に液晶層は電圧が印加されていないときにはスプレイ配向であるが表示等の機能発揮時にはベンド配向である液晶装置の駆動のための立上げ技術に関する。

10

## 背 景 技 術

## (一般的な背景技術)

液晶装置は、液晶素子の電氣的動作が、各画素は1表示周期中、明なら明を、暗なら暗を持続する保持型であるため、1表示周期の更に短い時間だけ輝くブラウン管に比較してちらつきの少ない静止  
15 画となるのが特徴のひとつであった。

しかし近年、パーソナルコンピュータではCPUやメモリの高速大容量化で動画処理が容易に行えるようになってきている。このため、液晶表示装置での動画表示時の画質向上が望まれている。

また、放送受像機としてのテレビは大画面化が進んでいるが、  
20 ブラウン管では大画面化と共にどうしても奥行きがある程度大きくなるため薄型テレビの要望に対しては好ましくない。そのための一手段として液晶表示装置を採用することが考えられている。

現在、液晶装置の主流であるTN配向液晶装置は応答速度が遅く、しかもブラウン管では各表示周期内で各画素が瞬間的、極く短時間  
25 のみ発光しているのに対して、液晶素子は、ON(開、発光)ならばその1表示周期内でその表示期間中ずっと発光し続けている保持

型である事もあって、動画表示時には尾を引くように見える等、ブラウン管より画質が劣る。

その対策として、例えば特開昭61-116329号あるいは特開平7-84254号にあるようなOCB型（タイプ）と言われる  
5 ベンド配向を有する液晶を用いれば高速応答、広視野角で動画表示や大画面化に十分対応でき、ブラウン管よりも薄型で低消費電力の大画面ディスプレイを提供することができる。

また、液晶を使用した装置は、単にワードプロセッサ、パソコン、テレビジョン受像機等の表示部のみならず、液晶プラズマディスプレイの表示部、光論理素子を使用した回路や装置等にも使用され  
10 だしているが、かかる用途においても、良好な表示性能、高速対応等の面からOCBタイプの液晶が注目されている。

（発明が解決しようとする課題の面から見た背景技術）

しかしながら、かかる液晶では図1の（1）や（2）に示すようなスプレイ配向51から（3）に示すようなベンド配向に転移するためには液晶層に高い電位差を一定時間以上かけ続ける必要がある  
15 が、かかる電圧をかけるためには、トランジスタ素子、配線に負担がかかり、高コストともなる。すなわち、現在広く用いられている素子、配線等にて可能な電圧、電流等で容易かつ確実にかかる転移  
20 を行なわせる技術は未だ実現されていない。その結果、現在のところこのタイプの液晶は汎用的に使用するには至っていない。

このため、このようなOCBタイプの液晶装置あるいはその駆動回路において、現在のトランジスタ素子、配線等のハードに負担をかけることなく、液晶層を短時間で確実にベンド配向へ転移させる  
25 しかも低コストの技術の開発が望まれていた。

また同様に、上述の他の用途への使用に際しても、确实、容易な

立上げ技術の開発が望まれていた。

### 発 明 の 開 示

本発明は、以上の課題を解決することを目的となされたものであり、液晶を使用した装置の各素子の構造に工夫を凝らしている。また同じく、立上げのために可能な限り高い電圧を印加したり、電圧を印加する際のタイミング等に工夫を凝らしている。具体的には、以下のようにしている。

第1の発明群の発明では、OCBタイプの液晶表示装置等の構造に工夫を凝らし、その結果、立上げのために、第1の基板のゲート線と第2の基板の対向電極との間に在る液晶層に、通常の映像の表示時映時よりも高い電界強度が与えられ、これによりその部分がベンド配向をすると、そこが核となってこれが成長し、液晶層全体のベンド配向への移行を図るものである。この際、液晶パネル内の他の部分に比較して高電圧で駆動しているゲート線を用いるため、ソース線駆動ICや画素トランジスタに負担を与えることなく液晶層に高い電界強度を与えることができる。

また、液晶層により高い電界強度を与えるため、ゲート線上の絶縁膜の厚みを薄くして絶縁膜容量を大きくし、ゲート線、対向電極間の電圧の分圧比を変えている。

また同じく、ゲート線上の絶縁膜に比誘電率の高い材料を用いて絶縁膜容量を大きくし、ゲート線、対向電極間の液晶層と絶縁膜の電圧の分圧比を変えている。

また同じく、液晶層との間に他の金属膜や半導体層が無い部分のゲート線を形成する金属の厚みを厚くすることでゲート線上の液晶層の厚みを0.5～1.5 $\mu$ m程度薄くしている。

また同じく、液晶層との間に他の金属膜や半導体層が無い部分のゲート線上にソース線形成金属を電氣的に接触させて積層してゲート線の厚みを厚くしてゲート線上の液晶層の厚みを薄くしている。

5 また同じく、液晶層との間に他の金属膜や半導体層が無い部分のゲート線上にソース線形成金属を電氣的に接触させずに積層してゲート線上の液晶層の厚みを薄くしている。

また同じく、第2の基板上の対向電極を第1の基板のゲート線と対峙する部分とそれ以外の部分に分け、ゲート線に対峙する部分の対向電極にそれ以外の部分よりも高い電圧をかける。

10 また同じく、第2の基板上でゲート線に対峙する部分の対向電極厚みをそれ以外の部分よりも厚くしてゲート線上の液晶層の厚みを薄くしている。

また同じく、第2の基板上のカラーフィルター形成樹脂を第1の基板のゲート線に対峙する部分で積層してゲート線上の液晶層の厚み  
15 みを薄くしている。

また同じく、第2の基板上で、第1の基板のゲート線に対峙する部分に柱状スペーサを設け、この柱状スペーサと液晶層の間に対向基板電極を形成してゲート線上の液晶層の厚みを薄くしている。

第2の発明群では、液晶装置の立上げ用回路等に工夫を凝らし、  
20 第1の基板の画素電極と第2の基板の対向電極との間に、通常の映像の表示時よりも高い電位差を所定の手順、規則にのっとして連続的に付与するものである。

これにより、対向電極の変動が利用可能となる。また、走査タイミングや印加電位差の変更、変更の制御により、ベンド配向への転  
25 移を促している。

また同じく、第1の基板の画素電極と第2の基板の対向電極との



間に、通常映像表示期間とは異なる第1種の電位差を連続的に付与する期間を設け、できるだけ広い面積で液晶層にかかる電位差を大きくすることでベンド配向への転移核の生成を増やし、ベンド領域の拡大を高速化し、ベンド配向への転移を短時間で行う。

- 5        また同じく、第1の基板の画素電極と第2の基板の対向電極との間に、通常映像表示期間とは異なる第1種の電位差を付与する第1種の電位差印加ステップと、第1種の電位差よりも小さい第2種の電位差を付与する第2種の電位差印加ステップを繰り返し制御ステップで以って一回以上交互に与える駆動方式で、これらの期間のうち、50%から95%の時間が第1種の電位差印加ステップとし、  
10        ベンド配向の核の生成とベンド領域の拡大を行う第1種の電位差印加ステップと、ベンド配向の核の生成ができなかったりベンド領域の拡大が進まなかった部分の液晶層の再整列を行う第2種の電位差印加ステップを交互に与えることにより、パネル全面を高速にベンド配向に転移させることができる。  
15

- また同じく、第2種の電位差印加ステップに画素トランジスタをオンからオフにするときにゲート線の電位変動に誘起されて画素電極に生じる電位変動分を対向電極電位に反映した電位をソース線に与えて画素電極の充電を行う充電小ステップを有し、ゲート線のオン・オフタイミングを通常の映像表示期間から変更することなく、  
20        画素電極の電位を所望の電位に固定してパネル全面のベンド配向への転移を高速化できる。

- また同じく、第2種の電位差印加ステップに画素トランジスタをオンからオフにするときにゲート線の電位変動に誘起されて画素電極に生じる電位変動分を対向電極電位に反映した電位をソース線に  
25        与えて画素電極の充電を行う充電小ステップを有し、第1種の電位

差印加ステップには第１種の電位差がより大きくなるようにソース線の電位を第２種の電位差印加ステップとは異なる電位にし、ベンド配向の核の生成とベンド領域の拡大をより高速化して、パネル全面でのベンド配向への転移を高速化する。

5        また同じく、液晶層をベンド配向させるための駆動を行う期間を第２種の電位差印加ステップから開始し、液晶層の整列を先に行うことで画素電極と対向電極の間に第１種の電位差を与える第１種の電位差印加ステップでのベンド核の生成とベンド領域の拡大を高速化し、パネル全面でのベンド配向への転移を高速化する。

10        また同じく、液晶層をベンド配向させるために画素電極と対向電極間に第１種の電位差を与える第１種の電位差印加ステップと画素電極と対向電極間の電位差を第１種の電位差よりも小さい第２種の電位差にする第２種の電位差印加ステップを１回以上交互に与える駆動方式で、第１種の電位差印加ステップあるいは第２種の電位差  
15    印加ステップを終了し通常の入力映像情報表示期間に移行するまでの間に、液晶層にかかる電位差が大きい映像情報を１フィールド以上表示し、ベンド領域の拡大で液晶層のベンド配向への転移を完了することで、パネル全面でのベンド配向への転移を高速化する。

本第３の発明群は、液晶層の立上げ時の安定化を図るものである。

20    このため、電源の投入等に工夫を凝らしている。

#### 図面の簡単な説明

図１は、液晶素子のスプレイ配向（１）、（２）とベンド配向（３）の様子を示す図である。

25        図２は、従来の液晶パネルの１画素分の要部の構造の平面と断面を示す図である。

図 3 は、従来の液晶パネル及び幾つかの実施の形態におけるゲート線電極、対向電極間の容量性負荷を模式的に示した図である。

図 4 は、第 1 - 1 の実施の形態の液晶パネルの 1 画素分の構成を示した図である。

5 図 5 は、第 1 - 2 の実施の形態の液晶パネルの 1 画素分の構成を示した図である。

図 6 は、第 1 - 3 の実施の形態の液晶パネルの 1 画素分の構成を示した図である。

10 図 7 は、第 1 - 4 の実施の形態の液晶パネルの 1 画素分の構成を示した図である。

図 8 は、第 1 - 5 の実施の形態の液晶パネルの 1 画素分の構成を示した図である。

図 9 は、第 1 - 6 の実施の形態の液晶パネルの 1 画素分の構成を示した図である。

15 図 10 は、第 1 - 7 の実施の形態の液晶装置の断面図である。

図 11 は、第 1 - 8 の実施の形態の液晶装置の断面図である。

図 12 は、第 1 - 9 の実施の形態の液晶装置の断面図である。

図 13 は、第 2 - 1 の実施の形態等の液晶装置の画素の回路構成を示した図である。

20 図 14 は、同じく画素の構造を示した図である。

図 15 は、同じく画素の寸法を示した図である。

図 16 は、同じく画素間の各部に印加されたり付加されたりする電圧の様子、作用を示した図である。

25 図 17 は、第 2 - 2 の実施の形態の電圧印加の様子、作用を示した図である。

図 18 は、上記実施の形態の液晶装置の制御手段の構成図であ

る。

図 19 は、第 2 - 2 の実施の形態における第 1 種の電位差印加ステップのデューティ比と転移完了時間の相関を示す図である。

図 20 は、同じく、画素電極と対向電極間の電位差  $V_{pc}$  の変化に要する時間  $t_r$ 、 $t_f$  を示す図である。

図 21 は、同じく、回路の具体的構成を示す図である。

図 22 は、第 2 - 3 の実施の形態の電圧印加の様子、作用を示した図である。

図 23 は、上記実施の形態の変形例を示した図である。

図 24 は、第 2 - 4 の実施の形態の画素の回路構成を示した図である。

図 25 は、上記実施の形態の画素の構造を示した図である。

図 26 は、上記実施の形態の画素の寸法を示した図である。

図 27 は、第 2 - 4 の実施の形態の作用を示した図である。

図 28 は、第 2 - 5 の実施の形態の画素の電極電位のタイムチャートである。

図 29 は、画素電極と対向電極間電位差が変化した場合の電位差と転移完了時間の関係の測定結果を示した図である。

図 30 は、第 2 - 6 の実施の形態の画素の電極電位のタイムチャートである。

図 31 は、第 2 - 7 の実施の形態の画素の電極電位のタイムチャートである。

図 32 は、第 2 - 8 の実施の形態の画素の電極電位のタイムチャートである。

図 33 は、第 2 - 9 の実施の形態の画素の電極電位のタイムチャートである。

図 3 4 は、第 2 - 1 0 の実施の形態の画素の電極電位のタイムチャートである。

図 3 5 は、第 2 - 5 の実施の形態から第 2 - 1 1 の実施の形態で液晶層をベンド配向させるための駆動期間を第 1 種の電位差印加  
5 ステップから開始した場合と第 2 種の電位差印加ステップから開始した場合の転移完了時間測定値を示す図である。

図 3 6 は、第 2 - 1 1 の実施の形態の画素の電極電位のタイムチャートである。

図 3 7 は、第 3 - 1 の実施の形態のタイムチャートである。

10 図 3 8 は、上記実施の形態等の回路の構成を示した図である。

(符号の説明)

- |    |               |
|----|---------------|
| 1  | 第 1 の基板       |
| 2  | 第 2 の基板       |
| 3  | 画素電極          |
| 15 | 2 1 透明画素電極    |
|    | 5 液晶層         |
|    | 6 画素トランジスタ    |
|    | 7 ソース線、ソース線電極 |
|    | 7 0 ソース線形成金属膜 |
| 20 | 7 1 ソース線      |
|    | 8 ゲート線、ゲート線電極 |
|    | 8 1 前のゲート線    |
|    | 9 対向電極        |
|    | 1 0 共通電極      |
| 25 | 1 1 ブラックマトリクス |
|    | 1 2 カラーフィルター  |

	6 4	チャネル保護膜
	6 5	a - S i 層
	6 6	n + a - S i 層
	7 6	ソース線電極と液晶層間の絶縁膜
5	8 6	ゲート線電極と a - S i 層間の絶縁膜
	8 7	絶縁膜
	V c c	共通電極の電位
	V c	対向電極の電位
	V g	ゲート線の電位
10	V s	ソース線の電位
	V p	画素電極の電位
	V p c	画素電極と対向電極間の電位差
	T c	通常の映像の表示期間
	C g d	ゲート線と画素電極間容量
15	C s t	画素電極と共通電極間の蓄積容量
	C l c	画素電極と対向電極間の液晶容量
	C g s	ゲート線とソース線間容量
	2 0 4	液晶パネルコントローラ
	2 0 5	液晶パネル

20

### 発 明 の 実 施 の 形 態

以下、本発明をその実施の形態に基づいて説明する。

{ 第 1 の 発 明 群 }

本発明群は、主に画素の絶縁膜の構造に工夫を凝らして、液晶層  
25 の転移用に高い電圧が加わる様にしたものである。

以下、本発明群をその実施の形態に基づいて説明する。

(第 1 - 1 の実施の形態)

ここに「(第 1 - 1 の実施の形態)」とは、「第 1 の発明群の第 1 の実施の形態」という意味である。このため、「本発明群の第 2 の実施の形態」ならば、「(第 1 - 2 の実施の形態)」と記す。他の発明群でも同様である。

なお、実際には、この様な回路構成の画素が基板上に縦、横、幾列、幾行にも、更にケースによっては多段にまで形成されているが、これは自明かつ煩雑となるので、図示は省略する。そしてこれは、他の発明群や実施の形態でも同様である。

図 2 は、従来の液晶パネルの 1 画素分の構造の平面 (1) と、トランジスタ素子部の A - A の断面 (2) を示したものである。本図において、21 は、透明画素電極である。3 は、画素電極である。5 は、液晶層である。64 は、チャネル保護膜である。65 は、a - Si (アモルファスシリコン) 層である。66 は、n + a - Si 層である。7 は、ソース線電極である。76 は、ソース線電極と液晶層間の絶縁膜である。8 は、ゲート線電極である。86 は、ゲート線電極と a - Si 層間の絶縁膜である。9 は、対向電極である。

図 2 に、図 3 で示す液晶パネルのゲート線電極、対向電極間の容量性負荷を模式的に示す。

本図において、8 は、ゲート線電極である。9 は、対向電極である。C1 は、液晶層の容量性負荷である。C2 は、ソース線電極と液晶層間の絶縁膜の容量性負荷である。C3 は、ゲート線電極と a - Si 層間の絶縁膜の容量性負荷である。

図 4 に、本実施の形態の液晶パネルの 1 画素分の構造の平面 (1) とその A - A の断面 (2) を示す。

本図において、8 はゲート線電極、7 はソース線電極、3 は画素

電極、64はチャネル保護膜、65はa-Si層、66はn+a-Si層、86はゲート線電極とa-Si層間の第1の絶縁膜、762はソース線電極と液晶層間の第2の絶縁膜、5は液晶層、9は対向電極、21は透明画素電極、862はゲート線電極とa-Si層間の第2の絶縁膜、761は、ソース線電極とa-Si層間の第1の絶縁膜である。

以下、これら3図を用いて本実施の形態における動作を説明する。

図2において、ゲート線電極8と対向電極9に電圧Vを印加すると、液晶層5とソース線電極7と液晶層間の絶縁膜762とゲート線電極とa-Si層間の絶縁膜86それぞれの容量性負荷値の比で決まる電圧が各層にかかる。その分圧をV1、V2、V3とする。これらの関係を、図3を用いて説明する。

単位面積Sあたりの容量性負荷値Cは、層の比誘電率を $\epsilon$ 、層の厚みをl、真空の誘電率を $\epsilon_0$ とすると、以下の(1-1式)で表される。

$$C = \epsilon_0 \times \epsilon \times S / l \quad \dots (1-1 \text{ 式})$$

一方、直列に接続した容量性負荷C1、C2、C3の分圧V1は、以下の(1-2式)で表される。

$$V_1 = V \times C_2 \times C_3 / (C_1 \times C_2 + C_2 \times C_3 + C_3 \times C_1) \quad (1-2 \text{ 式}) \text{ となる。}$$

液晶層5、絶縁膜762、86それぞれの比誘電率、厚みを $\epsilon_1$ 、 $\epsilon_2$ 、 $\epsilon_3$ 、 $l_1$ 、 $l_2$ 、 $l_3$ とすると、(1-2式)の分圧V1は

$$V_1 = V \times \epsilon_2 \times \epsilon_3 \times l_1 / (\epsilon_1 \times \epsilon_2 \times l_3 + \epsilon_2 \times \epsilon_3 \times l_1 + \epsilon_3 \times \epsilon_1 \times l_2) \quad (1-3 \text{ 式})$$



となり、電界強度  $E_1$  は

$$\begin{aligned}
 E_1 &= V_1 / l_1 \\
 &= V * \epsilon_2 * \epsilon_3 / (\epsilon_1 * \epsilon_2 * l_3 + \epsilon_2 * \epsilon_3 * l_1 + \epsilon_3 * \epsilon_1 * l_2) \\
 5 \quad &= V / (l_1 + l_2 * \epsilon_1 / \epsilon_2 + l_3 * \epsilon_1 / \epsilon_3) \quad (1-4 \text{ 式})
 \end{aligned}$$

となる。

図 4 の構造では、ゲート線電極と a-Si 層間の絶縁膜とソース線電極と液晶層間の絶縁膜をそれぞれ 2 層にしてパターンニングすることでゲート線電極と a-Si 層間、ソース線電極と液晶層間の絶縁は従来同等のまま、ゲート線電極と液晶層間の絶縁膜を薄くして  
 10 いる。このような構造にすることにより、(式 1-4) であらわす電界強度  $E_1$  の分母が小さくなり、結果的に液晶層にかかる電界強度を高くすることができ、ベンド配向への高速な転移が可能になる。

液晶層の比誘電率は液晶の透過率によって 3 ~ 8 程度に変化し、  
 15 絶縁膜として使用する  $SiO_x$ 、 $SiN_x$ 、 $TaO_x$  の比誘電率はそれぞれ約 3.9、約 6.4、約 23 で、液晶の比誘電率のばらつきが均等な場合、図 13 の液晶層にかかる電界強度の方が従来の構造の電界強度 (1-4 式) よりも高くなることが多い。ベンド配向を有する液晶層を、初期のホモジニアス状態からベンド配向に高速  
 20 に転移させるためには液晶層にできるだけ高い電界強度を与えることが非常に有効であるため、本実施の形態のように絶縁膜を薄くすることは大変有効な手段となる。

(第 1-2 の実施の形態)

図 5 に、本発明の第 1-2 の実施の形態の構造図を示す。

25 本図において、8 はゲート線電極、7 はソース線電極、3 は画素電極、64 はチャネル保護膜、65 は a-Si 層、66 は n+a-

S i 層、8 6 はゲート線電極と a - S i 層間の絶縁膜、7 6 はソース線電極と液晶層間の絶縁膜、5 は液晶層、9 は対向電極、2 1 は透明画素電極であり、A は断面部を示す線である。

5 先の第 1 の実施の形態（誤解が生じ無いので第 1 - 1 の実施の形態をこの様に略記する。以下同様である。）では絶縁膜をそれぞれ 2 層にしたが、本図 5 に示すようにパターンニングによりゲート線電極と液晶層間の絶縁膜厚みを薄くしても同等の効果が得られる。

（第 1 - 3 の実施の形態）

図 6 に第 1 - 3 の実施の形態の構成図を示す。

10 本図においても、8 はゲート線電極、7 はソース線電極、3 は画素電極、6 4 はチャネル保護膜、6 5 は a - S i 層、6 6 は n + a - S i 層、8 6 はゲート線電極と a - S i 層間の絶縁膜、7 6 はソース線電極と液晶層間の絶縁膜、5 は液晶層、9 は対向電極、2 1 は透明画素電極であり、A は断面を示す線である。

15 この構造では、ゲート線電極の膜厚を厚くした所定部厚膜型ゲート線とすることでゲート線上の液晶層の厚みが薄くなり、液晶層にかかる電界強度が高くなり、ベンド配向への転移を高速にすることができる。

ゲート線電極の膜厚は、通常 0 . 2  $\mu$  m から 0 . 6  $\mu$  m 程度だが、  
20 これを約 2 倍にすることで、液晶層の厚みを 0 . 5  $\mu$  m 程度薄くすることができる。

（第 1 - 4 の実施の形態）

図 7 に第 1 - 4 の実施の形態の構成図を示す。

本図においても、8 はゲート線電極、7 はソース線電極、3 は画  
25 素電極、6 4 はチャネル保護膜、6 5 は a - S i 層、6 6 は n + a - S i 層、8 6 はゲート線電極と a - S i 層間の絶縁膜、7 6 はソ

ース線電極と液晶層間の絶縁膜、5は液晶層、9は対向電極、21は透明画素電極であり、Aは断面部を示す線であり、70はゲート線電極の上に電氣的に接触させて積層したソース線形成金属である。

この構造では、ゲート線形成金属の上にソース線形成金属を電氣的に接触させて積層する一部接触型ゲート線とすることにより実質的にゲート線電極の膜厚を厚く、ゲート線上の液晶層の厚みを薄くし、液晶層にかかる電界強度を高くすることでベンド配向への転移を高速にすることができる。

ソース線電極の膜厚は通常0.2  $\mu\text{m}$ から0.6  $\mu\text{m}$ 程度であるため液晶層の厚みをそれだけ薄くすることができる。

(第1-5の実施の形態)

図8に第1-5の実施の形態の構成図を示す。

本図においても、8はゲート線電極、7はソース線電極、3は画素電極、64はチャネル保護膜、65はa-Si層、66はn+a-Si層、86はゲート線電極とa-Si層間の絶縁膜、76はソース線電極と液晶層間の絶縁膜、5は液晶層、9は対向電極、21は透明画素電極であり、Aは断面部を示す線であり、713はゲート線電極の上に電氣的に接触させずに積層したソース線形成金属である。

この構造では、ゲート線電極と対向電極の間にソース線形成金属を電氣的に絶縁して介在させる非接触型ゲート線とすることでゲート線上の液晶層の厚みを薄くし、液晶層にかかる電界強度を高くすることでベンド配向への転移を高速にすることができる。

(第1-6の実施の形態)

図9に第1-6の実施の形態の構成図を示す。本図において、1は第1の基板、8はゲート線電極、7はソース線電極、6は画素ト

ランジスタ、2は第2の基板、91は第1の基板のゲート線電極と向かい合う位置に形成した第1の対向電極、92は第1の対向電極とは電氣的に絶縁された第2の対向電極である。この分割型対向電極の構造では、第1の対向電極と第2の対向電極を電氣的に絶縁しているため、電圧変動が液晶層や絶縁膜の容量性負荷を介して画素電極や画素トランジスタに影響することを防ぎながらゲート線電極上の液晶層に任意の電界強度を与えることができ、ベンド配向への転移を高速に行うことができる。通常の映像表示時には第1の対向電極と第2の対向電極を同電位にすることにより、対向電極がパターンニングされていない従来の液晶表示装置と全く同等の画質を得ることができる。

(第1-7の実施の形態)

図10に第1-7の実施の形態の液晶表示装置の断面図を示す。本図において1は第1の基板、8はゲート線電極、7はソース線電極、87は絶縁膜、2は第2の基板、11は第1の基板のゲート線電極と向かい合う位置に形成したブラックマトリクス用金属、12はカラーフィルター、5は液晶層、91は第2の基板上全面にほぼ均一に形成した1層目の対向電極、92は第1の基板のゲート線と向かい合う位置に形成した2層目の対向電極である。この対峙部厚膜対向電極の構造では、ゲート線上と向かい合う対向電極を2層にすることでゲート線上の液晶層の厚みが薄くなり電界強度を高くすることができる、ベンド配向への転移を高速に行うことができる。

(第1-8の実施の形態)

図11に第1-8の実施の形態の液晶表示装置の断面図を示す。本図においても1は第1の基板、8はゲート線電極、7はソース線電極、87は絶縁膜、2は第2の基板、11は第1の基板のゲート

線電極と向かい合う位置に形成したブラックマトリクス用金属、1  
2 1 は赤等第 1 の色彩のカラーフィルター、1 2 2 は青等他の第 2  
の色彩のカラーフィルター、9 は対向電極、5 は液晶層である。

この構造では第 2 の基板上で、第 1 の基板のゲート線電極と向かい  
5 合う部分でカラーフィルター形成樹脂を積層することによりこの  
部分の対向電極を盛り上げゲート線上の液晶層の厚みを薄くするこ  
とにより、液晶層の電界強度を高くすることができ、ベンド配向へ  
の転移を高速にすることができる。

(第 1 - 9 の実施の形態)

10 図 1 2 に第 1 - 9 の実施の形態の液晶表示装置の断面図を示す。  
本図においても 1 は第 1 の基板、8 はゲート線電極、7 はソース線  
電極、8 7 は絶縁膜、2 は第 2 の基板、1 1 は第 1 の基板のゲート  
線電極と向かい合う位置に形成したブラックマトリクス用金属、1  
2 はカラーフィルター、1 1 1 は第 1 の基板のゲート線に向かい合  
15 う部分に形成した柱状スペーサ、9 は対向電極、5 は液晶層である。

この構造では第 2 の基板上で、第 1 の基板のゲート線電極と向かい  
合う部分に柱状スペーサを形成し、この柱状スペーサと液晶層の  
間に対向電極を形成することによりゲート線上の液晶層の厚みを薄  
くし、液晶層の電界強度を高くすることができ、ベンド配向への転  
20 移を高速にすることができる。

なお、ここに第 1 の実施の形態から第 9 の実施の形態まで 9 つの  
実施の形態で液晶パネルの構造を説明したが、各実施の形態のうち  
複数を組み合わせてゲート線上の液晶層の厚みを薄くすることはい  
ずれか単独で実施するよりもより高い効果を得やすく、かつ、対向  
25 電極を分割してゲート線に向かい合う電極に任意の電圧を印加すれ  
ばさらに効果は増大する。

## 〔第 2 の発明群〕

本発明群は、液晶層の転移のために、画素電極と対向電極間に通常の映像の表示時よりも高い電圧をかけたり、2種の電圧をかけたりし、更にそのための手段、デューティ比等に工夫を凝らしたものである。

## (第 2 - 1 の実施の形態)

図 1 3 に、本実施の形態の液晶装置の画素の回路を中心とした構成を示す。本図において、3 は、画素電極である。6 は、画素トランジスタである。7 は、ソース線である。7 1 は、次のソース線である。8 は、ゲート線である。8 1 は、前のゲート線である。9 は、対向電極である。1 0 は、全蓄積容量に接続する共通電極である。C g d は、画素トランジスタのゲート・ドレイン間の容量である。C s t は、画素電極に接続し、共通電極との間に形成する蓄積容量である。C l c は、液晶層の容量である。C g s は、画素トランジスタのゲート・ソース間の容量である。

図 1 4 に、この画素の構造を中心とした平面と断面の概略を示す。本図において、6 は画素トランジスタ、2 1 は透明画素電極、C s t は画素電極に接続し、共通電極との間に形成する蓄積容量、C l c は液晶層の容量、7 はソース線、7 1 は次のソース線、8 はゲート線、8 1 は前のゲート線、9 は対向電極、1 0 は全蓄積容量に接続する共通電極である。

図 1 5 に、1 画素当たりの寸法の 1 例を示す。本図において、W t は、画素の幅である。L t は、画素の長さである。W p は、画素電極の幅である。L p は、画素電極の長さである。W s は、ソース線の幅である。W g は、ゲート線の幅である。そして、1 画素当たりの面積  $30000 [\mu m^2]$  中で、画素電極の面積は  $18224$

$\mu\text{m}^2$  となり、1画素の60...7%となる。

これら図13、14、15に示す本実施の形態の液晶装置の動作を図16に示す。

図16において、 $V_g$ は、ゲート線の電圧である。 $V_s$ は、ソース線の電圧である。 $V_p$ は、画素電極の電圧である。 $V_{cc}$ は、共通電極の電圧である。 $V_c$ は、対向電極の電圧である。

通常映像表示時には、ゲート線の電圧 $V_g$ を画素トランジスタがオン状態になるまで変化させて、ソース線の電圧 $V_s$ を画素電極21、蓄積容量 $C_{st}$ 、液晶容量 $C_{lc}$ に充電する。画素電極の電圧 $V_p$ はソース線の電圧 $V_s$ と等しくなる。

対向電極の電圧 $V_c$ は画素電極の電圧 $V_p$ との間で液晶の透過率が十分に变化する範囲であれば良く、通常 $V_c$ と $V_p$ の電位差 $V_{pc}$ は0V~5V程度に設定する。液晶層をベンド配向させるには更に高い電位差を連続的に液晶層にかける異電位差連続印加ステップが必要である。ベンド配向に転移するために必要な電位差、時間は液晶材料によって異なるが、6V以上の電位差を画素電極と対向電極の間に与えることで1秒以内に転移が完了する材料があることが実験的に確認できている。液晶表示装置としては、この転移時間が短いほど良く、数秒から10秒以内であることが望ましいが、そのためにはより大きな電位差(20Vから30V程度)を与えたり、液晶材料を選択することとなる。液晶層がベンド配向に転移するための電位差はできるだけ広い面積で与えることが望ましく、画素電極と対向電極の間に与えることが図15に示すように面積的にもっとも有効である。

(第2-2の実施の形態)

図13、図14、図15を用いて第2の実施の形態における動作

を 図 1 7 で 説 明 す る。

図 1 7 において  $V_g$  はゲート線の電圧である。 $V_s$  はソース線の電圧である。 $V_p$  は画素電極の電圧である。 $V_{cc}$  は共通電極の電圧である。 $V_c$  は対向電極の電圧である。このような構成の液晶パネルにおける通常映像表示時の動作は第 1 の実施の形態と同様で、  
5  $V_c$  と  $V_p$  の間の電位差  $V_{pc}$  は  $0\text{ V} \sim 5\text{ V}$  である。ベンド配向に転移させるために画素電極と対向電極との間に  $6\text{ V}$  以上の第 1 種の電位差を連続的に与えた場合、液晶パネルの構造や液晶材料によっては、転移状態が進まず膠着する部分が発生し、そこだけが  $10$  秒以上かかっても転移できないことがある。そのようなパネルあるいは液晶材料の条件の場合には対向電極の電圧  $V_c$  を画素電極の電圧  $V_p$  に近づけ、液晶層にかかる電位差  $V_{pc}$  を小さい第 2 種の電位差にして液晶素子の配向を初期状態に戻してから再度高い第 1 種の電位差を与える。このことにより、元々ベンド状態に転移していた  
15 液晶素子は初期状態に戻してから再度電位差をかけ直しても転移しやすいためすぐに転移し、転移状態が膠着していた部分は新たに電位差をかけ直すことで転移しやすくなるため、結果的にパネル全面において短時間にベンド配向に転移させることができる。

図 1 8 に本発明による液晶装置の制御手段の構成の一例を示す。  
20 本図において、205 は液晶パネル、204 は液晶パネルコントローラ、203 は各種電源電圧発生回路である。液晶パネルコントローラ 204 には外部より起動スイッチ 210 が接続されている。この起動スイッチ 210 は液晶パネルコントローラ 204 の内部のカウンタ 211 とそれに続く 212 の切換手段 A が接続され、起動直  
25 後はこのカウンタにより、所定の期間をカウントした後、通常映像信号発生部 213 からの映像信号を液晶パネル 205 へ印加する。



所定の期間をカウント中は、214の電圧発生手段1と215の電圧発生手段2を周期カウンタ216で設定された所定の周期で、217の切換手段Bにより切替える。これらの電圧発生手段は単一の電圧を発生するとは限定されない。液晶パネル205がアクティ

5 プ・マトリクスであり、この中の画素電極-対向電極間の液晶印加実効電位差がポイントであるため、対向電極電圧は勿論、画素電極電圧を決める要因となるソース線電圧、ゲート線電圧、後述する蓄積容量の共通電極電圧の内、必要な電圧を組み合わせで切替えることとなる。

10 また、ここで述べた起動直後の所定の期間とは約0.1秒ないし10秒程度の時間であり、周期カウンタ216で設定された所定の周期とは約0.1秒から5秒程度の時間である。

本実施の形態において、画素電極と対向電極の間の電位差 $V_{pc}$ を第2種の電位差にする時間はベンド配向への転移を初期状態に戻すための時間であるため、画素電極と対向電極の間に第1種の電位差を付与する時間に比べて同等以下の短い時間にするほうが液晶パネル全体でのベンド配向への転移は短時間で終了する。図19に示すように、 $V_{pc}$ に高い第1種の電位差をかけている第1種の電位差印加ステップのデューティ比が0.5を超えると転移時間は格段

15 に短くなる。この第1種の電位差印加ステップは大体0.1秒から3秒程度である。また、第1種の電位差印加ステップと第2種の電位差印加ステップの切り替え時に発生する対向電極の電圧変化のスルーレートの高低はベンド配向への転移時間に直接影響しない。このため、対向電極のように高い負荷の電極を駆動する場合であっても

20 も小さい電流駆動能力しか持たない駆動素子を用いて緩やかに電圧を変化させても同様の効果を得ることができる。図20に示すよう

25

に、周期  $T$  の繰り返し制御ステップで電位差  $V_{pc}$  を変化させるとき、電位差の変化に要する時間  $t_r$ 、 $t_f$  はそれぞれ周期  $T$  の 30% まで達しても速やかな転移が行える。

図 21 で示すような回路で容量  $C$  [F] を  $t$  秒で  $V$  [V] 変化させるために必要な電流  $i$  [A] は次式で得られ、

$$i = C * V / t$$

10  $10$  [uF] の容量の対向電極を、300 ミリ秒で  $10$  [V] 変化させるために必要な電流駆動能力は  $0.33$  [mA] となり、汎用的なオペアンプないしは低消費電力型のオペアンプ等の電流駆動素子で回路を構成することができる。また、図示はしないが、パルス状信号源と直列抵抗によって容量素子を駆動しても良い。

(第 2 - 3 の実施の形態)

図 13、図 14、図 15 を用いて第 1 の実施の形態において共通電極の電位変化により第 1 種の電位差を大きくする共通電極電位変動利用型の場合を第 3 の実施の形態としてその動作を図 22 で説明する。構成は第 1 の実施の形態と同じである。

図 22 において  $V_g$  はゲート線の電圧である。 $V_s$  はソース線の電圧である。 $V_p$  は画素電極の電圧である。 $V_{cc}$  は共通電極の電圧である。 $V_c$  は対向電極の電圧である。

20 画素トランジスタがオンの期間、画素電極にはソース線の電位  $V_s$  が書き込まれ、画素トランジスタがオフになるとき、ゲート線の電圧変化  $\Delta V_g$  に合わせて (2-1 式) で算出される突き抜け電圧分  $\Delta V_{p1}$  だけ画素電極の電位  $V_p$  は変化する。さらに、画素トランジスタがオフの期間に蓄積容量の電極となっている共通電極の電位  $V_{cc}$  を  $\Delta V_{cc}$  だけ変化させると (2-2 式) で算出される突き抜け電圧  $\Delta V_{p2}$  が画素電極に発生する。本図に示す信号変化の

場合、 $\Delta V_{p1}$ よりも $\Delta V_{p2}$ を大きくすることでソース線から書き込んだ電位 $V_s$ よりも高い電位を画素電極に与えることができ、画素電極と対向電極との間の電位差 $V_{pc}$ がより大きくなり、液晶層のベンド配向への転移時間を短くすることができる。

$$5 \quad \Delta V_{p1} = \Delta V_g * C_{gd} / (C_{st} + C_{lc} + C_{gd})$$

(2-1式)

$$\Delta V_{p2} = \Delta V_{cc} * C_{st} / (C_{st} + C_{lc} + C_{gd})$$

(2-2式)

この時、図23に示すように共通電極の電圧をゲート信号の電圧と同じにしても $V_{pc}$ を十分大きくでき、かつ、電圧の共用により電源回路の規模を小さくすることができる。

(第2-4の実施の形態)

図24は液晶パネルの1画素分の構成図を示す。本図において6は画素トランジスタ、3は画素電極、 $C_{gd}$ は画素トランジスタのゲート・ドレイン間容量、 $C_{st}$ は画素電極に接続し、前段のゲート線との間に形成する蓄積容量、 $C_{lc}$ は液晶層の容量、 $C_{gs}$ は画素トランジスタのゲート・ソース間容量、7はソース線、71は次のソース線、8はゲート線、81は前のゲート線、11は対向電極である。このような構成の液晶パネルは前段ゲート方式と呼ばれ、図13、図14に示す構成に比べて共通電極を削除できるため開口率を高くできる。

図25に画素構造の平面・断面概略図を示す。6は画素トランジスタ、21は透明画素電極、 $C_{st}$ は画素電極に接続し、前段のゲート線との間に形成する蓄積容量、 $C_{lc}$ は液晶層の容量、7はソース線、71は次のソース線、8はゲート線、81は前のゲート線、9は対向電極である。

図 2 6 に 1 画素当たりの寸法の 1 例を示す。W t は画素の幅、L t は画素の長さ、L p は画素電極の長さ、W p は画素電極の幅、W s はソース線の幅、W g はゲート線の幅、W s t は蓄積容量部の長辺、L s t は画素電極とゲート線の間隙であり、1 画素当たりの面積 3 0 0 0 0 [ $\mu\text{m}^2$ ] 中、画素電極の面積は 1 8 5 6 4 [ $\mu\text{m}^2$ ] で 1 画素の 6 1 . 9 % となる。

図 2 4、図 2 5、図 2 6 を用いて第 2 の実施の形態において前段のゲート線の電位変化により第 1 種の電位差を大きくするゲート線電位変動利用型の場合を第 4 の実施の形態としてその動作を図 2 7 で説明する。

本図において V g はゲート線の電圧、V s はソース線の電圧、V p は画素電極の電圧、V g - は前段のゲート線の電圧、V c は対向電極の電圧である。

通常映像表示時には、ゲート線の電圧 V g を画素トランジスタがオン状態になるまで変化させて、ソース線の電圧 V s を透明画素電極 2 1、蓄積容量 C s t、液晶容量 C l c に充電する。透明画素電極 2 1 の電圧 V p はソース線の電圧 V s と等しくなる。

画素トランジスタがオフになるとき、ゲート線の電圧変化  $\Delta V g$  に合わせて (2 - 3 式) で算出される突き抜け電圧分  $\Delta V p 3$  だけ画素電極の電位 V p は変化する。さらに、画素トランジスタがオフの期間に蓄積容量の電極となっている前段のゲート線の電位 V g - を  $\Delta V g -$  だけ変化させると (2 - 4 式) で算出される突き抜け電圧  $\Delta V p 4$  が画素電極に発生する。図 2 7 に示す信号変化の場合、 $\Delta V p 3$  よりも  $\Delta V p 4$  を大きくすることでソース線から書き込んだ電位 V s よりも高い電位を画素電極に与えることができ、画素電極と対向電極との間の電位差 V p c がより大きくなり、液晶層のベ

ンド配向への転移時間を短くすることができる。

$$\Delta V_{p3} = \Delta V_g * C_{gd} / (C_{st} + C_{lc} + C_{gd})$$

(2-3式)

$$\Delta V_{p4} = \Delta V_g - * C_{st} / (C_{st} + C_{lc} + C_{gd})$$

5 (2-4式)

図26に示すように一画素中で画素電極が占める面積割合は61.9%とかなり大きいため、画素電極と対向電極との間に大きい電位差をかけることは非常に有効である。

このような構成の液晶パネルにおける通常映像表示時の $V_c$ と $V_p$ の間の電位差 $V_{pc}$ は0V～5Vである。ベンド配向に転移させるために画素電極と対向電極との間に6V以上の電位差を直流で与えた場合、液晶パネルの構造や液晶材料によっては、転移状態が進まず膠着した液晶素子が10秒以上かかっても転移できないことがある。そのようなパネルあるいは液晶材料の条件の場合には対向電極の電圧 $V_c$ を画素電極の電圧 $V_s$ に近づけ、液晶層にかかる電位差 $V_{pc}$ を小さい第2種の電位差にして液晶素子の配向を初期状態に戻してから再度高い第1種の電位差を与えることにより、転移状態が膠着していた部分に新たに電位差をかけ直し、結果的にパネル全面において短時間にベンド配向に転移させることができる。

20 本実施の形態では前段のゲート線との間に蓄積容量を設けたが後段のゲート線との間に蓄積容量を設けた場合でも同等の動作で同等の効果が得られる。

(第2-5の実施の形態)

25 図28に示す画素の電極電位のタイムチャートと図13の接続図を用いて第2-5の実施の形態における動作を説明する。

図28において、太い点線は対向電極電位を、細い点線はゲート

線電位を、細い実線はソース線電位を、太い実線は画素電極電位を示す。下部の  $V_{pc}$  は画素電極・対向電極間電位差の変動を示す。  
 $T_c$  は通常映像表示期間、 $T_{12}$  は1回目の第2種の電位差印加ステップ、 $T_{11}$  は1回目の第1種の電位差印加ステップ、 $T_{22}$  は2回  
 5 目の第2種の電位差印加ステップ、 $T_{21}$  は2回目の第1種の電位差印加ステップである。各種の画素電極電位の変動要因を示している。

本図において、 $T_{12}$ 、 $T_{11}$ 、 $T_{22}$ 、 $T_{21}$  は繰り返し制御ステップで繰り返している。液晶層をベンド配向させるための駆動期間  
 の1回目の第2種の電位差印加ステップ  $T_{12}$  が開始すると、対向電  
 10 極電位を通常映像表示期間とは異なる第2の電位とする。画素電極電位は、液晶容量を介して対向電極と接続し、この瞬間には画素トランジスタがオフで電流の供給がないため、対向電極電位の変化分  $\Delta V_{com}$  に対して、(2-5式) に示す  $\Delta V_{p5}$  だけ、本図の期間  $T_{12}$  の左側に示すように対向電極電位が変化した方向に電位が  
 15 変化する。

$$\Delta V_{p5} = \Delta V_{com} * C_{lc} / (C_{lc} + C_{st} + C_{gd})$$

(2-5式)

ゲート線電位が画素トランジスタをオンからオフにするときの電位変動分  $\Delta V_g$  が画素電極に影響を与える電位変動分は(2-6式)  
 20 に示す  $\Delta V_{p6}$  となる。

ソース線電位を、対向電極電位に  $\Delta V_{p6}$  を上乗せした電位とし、画素トランジスタをオフにすると、画素電極電位は本図の期間  $T_{12}$  の中央ゲート電極電位変動に示すように  $\Delta V_{p6}$  だけ下がり、対向電極電位との電位差はほぼゼロの第2種の電位差になる。

$$\Delta V_{p6} = \Delta V_g * C_{gd} / (C_{lc} + C_{st} + C_{gd})$$

(2-6式)

以降、1回目の第2種の電位差印加ステップ $T_{12}$ 中は、画素トランジスタがオンで画素電極にソース線電位を充電している充電小ステップ中を除いては画素電極電位と対向電極電位との電位差はほぼゼロの第2種の電位差になる。

- 5      1回目の第2種の電位差印加ステップ $T_{12}$ から1回目の第1種の電位差印加ステップ $T_{11}$ に移行すると、画素電極電位と対向電極電位との電位差を第1種の電位差にするために対向電極電位を第1の電位に変化させ、画素電極電位はその影響を受けて本図の期間 $T_{11}$ 内左側に示す対向電極電位変動のように対向電極電位が変化し
- 10    た方向に変化する。ソース線電位を1回目の第2種の電位差印加ステップ $T_{12}$ 同様、対向電極電位に $\Delta V_{p6}$ を上乗せした電位として画素トランジスタを充電小ステップで一度オン・オフすると、画素電極電位は第2種の電位差印加ステップの対向電極電位とほぼ等しい電位までは下がるが、第1種の電位差印加ステップでは画素電極
- 15    電位と対向電極電位との電位差が液晶層がベンド配向に転移するのに必要な十分に大きい第1種の電位差になるように対向電極電位を設定する。

- 以降、1回目の第1種の電位差印加ステップ $T_{11}$ 中は、画素電極電位と対向電極電位との電位差は、液晶層のベンド配向への転移
- 20    に必要な第1種の電位差が与えられている。

- 2回目の第2種の電位差印加ステップ $T_{22}$ が開始すると、対向電極電位が変化するため画素電極電位はその影響で本図の期間 $T_{22}$ の左側の対向電極電位変動（注、この文の記載は期間 $T_{12}$ 内に在る。）に示すように対向電極電位が変化した方向に電位が変化する。
- 25    充電小ステップで画素トランジスタのオン・オフを一度行くと、1回目の第2種の電位差印加ステップ $T_{12}$ と同様に、画素トランジス

タがオンになり画素電極にソース線電位を充電している時以外は画素電極・対向電極間の電位差はほぼゼロの第2種の電位差になる。

2回目の第2種の電位差印加ステップ $T_{2,2}$ から2回目の第1種の電位差印加ステップ $T_{2,1}$ に移行すると、1回目の第1種の電位差印加ステップ同様に画素電極・対向電極間の電位差は、液晶層のベンド配向への転移に必要な第1種の電位差が与えられている。

以降、液晶層のベンド配向への転移が完了するまで繰り返し制御ステップで第2種の電位差印加ステップと第1種の電位差印加ステップを交互に繰り返し、第2種の電位差印加ステップでは期間開始後1回目の画素トランジスタがオンするまでの間および充電小ステップで画素トランジスタがオンしている時以外は画素電極・対向電極間の電位差はほとんどゼロの第2種の電位差になり、第1種の電位差印加ステップでは期間開始後1回目の画素トランジスタがオンするまでの間以外は画素電極・対向電極間は液晶層がベンド配向へ転移するために必要な十分に大きな第1種の電位差が与えられている。

画素電極と対向電極の間の電位差を大きくし、ベンド配向の核の発生とベンド領域の拡大を行う第1種の電位差印加ステップと、画素電極と対向電極の間の電位差を小さくしてベンド配向の核が発生しなかったりベンド領域の拡大が行われなかった部分の液晶層の再整列を行う第2種の電位差印加ステップを交互に与えることで、パネル全面を高速にベンド配向に転移させることができる。

第2種の電位差印加ステップ中の画素電極・対向電極間の第2種の電位差はゼロであることが望ましいが、図29に示すように $\pm 1$  Vの範囲内であれば面内転移完了時間にあまり影響しない。蓄積容量 $C_{st}$ 、液晶容量 $C_{lc}$ 、ゲート・ドレイン間容量 $C_{gd}$ はその



膜厚、膜質によってパネル内部でもパネル相互にもバラツキがあり、ゲート線電位の変化の影響を受ける画素電極電位の変化分  $\Delta V_{p6}$  にもバラツキが生じるが、そのバラツキが  $\pm 1 \text{ V}$  以内に収まれば、第2種の電位差印加ステップのソース線電位をパ37毎に調整する必要はなくソース線電位を固定した駆動方法を決定できる。

(第2-6の実施の形態)

図30、図13を用いて第5の実施の形態の第2種の電位差印加ステップに画素トランジスタのオン・オフタイミングに合わせてソース線電位を変化させる場合の第6の実施の形態の動作を説明する。

図30に、図13で示す画素の電極電位のタイムチャートを示す。

本図において、太い点線は対向電極電位を、細い点線はゲート線電位を、細い実線はソース線電位を、太い実線は画素電極電位を示す。下部の  $V_{pc}$  は画素電極・対向電極間電位差、 $V_{sc}$  はソース線・対向電極間電位差である。 $T_c$  は通常映像表示期間、 $T_{12}$  は1回目の第2種の電位差印加ステップ、 $T_{11}$  は1回目の第1種の電位差印加ステップ、 $T_{22}$  は2回目の第2種の電位差印加ステップ、 $T_{21}$  は2回目の第1種の電位差印加ステップである。また、各種の画素電極電位の変動要因を示す。

本図において、液晶層をベンド配向させるための駆動期間の1回目の第2種の電位差印加ステップ  $T_{12}$  が開始すると、対向電極電位を通常映像表示期間とは異なる第2の電位とする。画素電極電位は、対向電極電位変動分を  $\Delta V_{com}$  とすると(2-5式)に示す様に  $\Delta V_{p5}$  だけ、本図の対向電極電位変動に示すように対向電極電位が変化した方向に電位が変化する。ソース線電位を、対向電極電位に  $\Delta V_{p6}$  を上乗せした電位とし、充電小ステップで画素トランジスタを一度オン・オフすると、画素電極電位は本図のゲート電極電

位変動に示すように、 $\Delta V_{p6}$ だけ下がり、対向電極との電位差はほぼゼロの第2種の電位差になる。ソース線電位は画素トランジスタがオフしている間に対向電極電位とほぼ等しい電位とし、 $V_{sc}$ のように、充電小ステップで画素トランジスタのオン・オフタイミングに合わせて変動させる。

以降、1回目の第2種の電位差印加ステップ $T_{12}$ 中は、通常映像表示期間と同様のタイミングで画素トランジスタがオン・オフし、その都度ソース線電位は変化し、画素トランジスタがオフしているときには画素電極・対向電極および画素電極・ソース線電位間  
10 電位差はほぼゼロの第2種の電位差になる。

この画素トランジスタがオフしているときのソース線電位は、対向電極との間の電位差が $\pm 1V$ の範囲内であれば面内転移完了時間に何ら変わりはない。このことは第5の実施の形態で画素電極と対向電極の間の電位差が $\pm 1V$ の範囲内であれば面内転移完了時間に  
15 あまり影響しないと図29を用いて述べたのと同様である。

1回目の第2種の電位差印加ステップ $T_{12}$ から1回目の第1種の電位差印加ステップ $T_{11}$ に移行すると、画素電極と対向電極の間の電位差を第1種の電位差にするため対向電極電位を第1の電位にし、画素電極電位はその影響を受けて本図の期間 $T_{11}$ 左側対向電極  
20 電位変動に示すように対向電極電位の変化した方向に $\Delta V_{p5}$ だけ変化する。ソース線電位を1回目の第2種の電位差印加ステップ $T_{12}$ 同様、対向電極電位に $\Delta V_{p6}$ を上乗せした電位として充電小ステップで画素トランジスタを一度オン・オフすると、画素電極電位は第2種の電位差印加ステップの対向電極電位とほぼ等しくなる。

25 この第1種の電位差印加ステップにおいてもソース線電位は画素トランジスタのオン・オフのタイミングで電位を変化し、第1種の

電位差印加ステップでは画素電極・対向電極間およびソース線・対向電極間の電位差は、第2種の電位差印加ステップの対向電極電位と第1種の電位差印加ステップの対向電極電位の電位差とほぼ等しい。そこで、第1種の電位差印加ステップの対向電極電位と第2種の電位差印加ステップの対向電極電位の電位差が液晶層の転移に必要な第1種の電位差になるようそれぞれの期間の対向電極電位を設定する。

2回目の第2種の電位差印加ステップ $T_{22}$ が開始すると、対向電極電位が変化するため画素電極電位はその影響で本図の期間 $T_{22}$ 内左側の対向電極電位変動で示す（説明の記載は期間 $T_{12}$ 内。）ように対向電極電位の変化した方向に電位が変化する。その後の画素トランジスタによる充電動作で画素電極電位は1回目の第2種の電位差印加ステップと同様の変化をし、対向電極電位とほぼ等しくなる。

2回目の第2種の電位差印加ステップ $T_{22}$ から2回目の第1種の電位差印加ステップ $T_{21}$ に移行すると、対向電極電位は1回目の第1種の電位差印加ステップと同様に変化し、この期間中も画素トランジスタによる画素電極の充電で、1回目の第1種の電位差印加ステップ $T_{11}$ と同様の第1種の電位差が画素電極・対向電極間に与えられる。

以降、液晶層のベンド配向への転移が完了するまで繰り返し制御ステップで第2種の電位差印加ステップと第1種の電位差印加ステップを交互に繰り返し、第2種の電位差印加ステップでは画素電極・対向電極間およびソース線・対向電極間の電位差はほとんどゼロの第2種の電位差になり、第1種の電位差印加ステップでは画素電極・対向電極間には液晶層がベンド配向に転移するために必要な

十分に大きな第1種の電位差が与えられる。

この例では、第5の実施の形態で述べた動作に加えて、第2種の電位差印加ステップ中に、面内の大部分の面積を占める画素電極およびソース線と対向電極との電位差をゼロにするので、ソース線電位を変動させる煩雑さはあるが、第5の実施の形態よりも液晶層のベンド配向への転移を更に高速化できる。

(第2-7の実施の形態)

図31、図13を用いて第5の実施の形態の画素トランジスタのオンによる画素電極充電を液晶層をベンド配向させるための駆動期間の初期に1回行う場合の第2-7の実施の形態の動作を説明する。

図31に、図13で示す画素の電極電位のタイムチャートを示す。図31において、太い点線は対向電極電位を、細い点線はゲート線電位を、細い実線はソース線電位を、太い実線は画素電極電位を示す。下部の $V_{pc}$ は画素電極・対向電極間電位差である。 $T_c$ は通常映像表示期間、 $T_{12}$ は1回目の第2種の電位差印加ステップ、 $T_{11}$ は1回目の第1種の電位差印加ステップ、 $T_{22}$ は2回目の第2種の電位差印加ステップ、 $T_{21}$ は2回目の第1種の電位差印加ステップである。また、各種の画素電極電位の変動要因をも示す。

本図において、液晶層をベンド配向させるための駆動期間の1回目の第2種の電位差印加ステップ $T_{12}$ が開始すると、対向電極電位を通常映像表示期間とは異なる第2の電位とする。画素電極電位は、対向電極電位変動の影響を受けて、本図の期間 $T_{12}$ 内の対向電極電位変動に示すように対向電極電位が変化した方向に $\Delta V_{p5}$ だけ電位が変化する。ソース線電位を、対向電極電位に $\Delta V_{p6}$ を上乗せした電位とし、画素トランジスタを一度オン・オフすると、画素電極電位は本図のゲート電極電位変動に示すように $\Delta V_{p6}$ だけ下が

り、対向電極電位とほぼ等しくなる。以降、1回目の第2種の電位差印加ステップ $T_{12}$ 中は、ゲート線電位の変化はなく、画素電極電位と対向電極電位1の電位差はほぼゼロの第2種の電位差のままである。

5        1回目の第2種の電位差印加ステップ $T_{12}$ から1回目の第1種の電位差印加ステップ $T_{12}$ に移行すると、画素電極・対向電極間の電位差を第1種の電位差にするため対向電極電位を第1の電位にし、画素電極電位はその影響を受けて本図の期間 $T_{12}$ 内左側対向電極電位変動に示すように対向電極電位の変化した方向に $\Delta V_{p5}$ だけ  
10    変化する。第1種の電位差印加ステップに移行しても画素トランジスタオンによる画素電極の充電は行われなため画素電極の電位は対向電極電位の変動により影響を受けた電位を維持し、画素電極・対向電極間の電位差が液晶層のベンド配向への転移に必要な十分に大きい第1種の電位差になるように対向電極電位を設定する。

15        2回目の第2種の電位差印加ステップ $T_{22}$ が開始すると、対向電極電位を第2の電位に変化するため画素電極電位はその影響で本図の期間 $T_{12}$ から期間 $T_{22}$ への移行部に示す対向電極電位変動に示すように対向電極電位が変化した方向に電位が変化するが、その電位は1回目の第2種の電位差印加ステップ $T_{12}$ のゲート電極電位  
20    変動での画素電極電位と等しく、対向電極電位との電位差はほぼゼロの第2種の電位差になる。

      2回目の第2種の電位差印加ステップ $T_{22}$ から2回目の第1種の電位差印加ステップ $T_{21}$ に移行すると、対向電極電位は1回目の第1種の電位差印加ステップと同様に第1の電位に変化し、この期  
25    間中も画素電極の充電は行われず、1回目の第1種の電位差印加ステップと同様の第1種の電位差が画素電極・対向電極間には与えら

れる。

以降、液晶層のベンド配向への転移が完了するまで繰り返し制御  
ステップで第2種の電位差印加ステップと第1種の電位差印加ステ  
ップを交互に繰り返し、第2種の電位差印加ステップでは画素電  
5 極・対向電極間の電位差はほとんどゼロの第2種の電位差になり、  
第1種の電位差印加ステップでは画素電極・対向電極間には液晶層  
が転移するために必要な十分に大きな第1種の電位差が与えられる。

この例では、画素トランジスタのオン・オフタイミングを通常映  
像表示期間とは変えるという煩雑さはあるが、第2種の電位差印加  
10 ステップ中の画素トランジスタオンによる画素電極充電回数が通常  
タイミングよりも少ないため、画素電極・対向電極間電位差がゼロ  
の時間が第2種の電位差印加ステップ中に多くなり、第5の実施の  
形態よりも液晶層のベンド配向への転移を高速化できる。

なお、画素電極の充電が1回の画素トランジスタのオンでは不十  
15 分な場合や、液晶層をベンド配向に転移させるための駆動期間が通  
常の映像表示期間に対して非同期に開始し、画素トランジスタを確  
実にオンにするために回数のマージンが必要な場合には、液晶層を  
ベンド配向に転移させるための駆動期間の初めの画素トランジスタ  
オンによる画素電極充電を1回ではなく数回行っても効果にあまり  
20 影響しない。

また、1回目の画素トランジスタのオンは、通常の映像表示タイ  
ミングから、液晶層をベンド配向させるための駆動への切り替えを  
済ませた後、1フィールド期間（通常16.7ミリ秒）以内に行な  
われる。

25 （第2－8の実施の形態）

図32、図13を用いて第5の実施の形態の充電小ステップでの

画素トランジスタのオンによる画素電極充電を液晶層をベンド配向させるための駆動期間内の第1種の電位差印加ステップ、第2種の電位差印加ステップそれぞれの初期に1回行う場合の第8の実施の形態の動作を説明する。

5 図32は、図13で示す画素の電極電位のタイムチャートを示す。

本図において、太い点線は対向電極電位、細い点線はゲート線電位、細い実線はソース線電位、太い実線は画素電極電位である。下部の $V_{pc}$ は画素電極・対向電極間電位差である。 $T_c$ 通常映像表示期間、 $T_{12}$ は1回目の第2種の電位差印加ステップ、 $T_{11}$ は1  
10 回目の第1種の電位差印加ステップ、 $T_{22}$ は2回目の第2種の電位差印加ステップ、 $T_{21}$ は2回目の第1種の電位差印加ステップである。また、各種の画素電極電位の変動要因を示す。

図32において、液晶層をベンド配向させるための駆動期間の1回目の第2種の電位差印加ステップ $T_{12}$ が開始すると、対向電極電位を通常映像表示期間とは異なる第2の電位にする。画素電極電位は対向電極電位変動の影響を受けて、本図の期間 $T_{12}$ 内の左側の対向電極電位変動に示すように対向電極電位が変化した方向に電位が $\Delta V_{p5}$ だけ変化する。ソース線電位を、対向電極電位に $\Delta V_{p6}$ を上乗せした電位とし、充電小ステップで画素トランジスタを一度  
20 オン・オフすると、画素電極電位は期間 $T_{12}$ 内中央のゲート電極電位変動に示すように $\Delta V_{p6}$ だけ下がり、対向電極電位とほぼ等しくなる。以降、1回目の第2種の電位差印加ステップ $T_{12}$ 中は、ゲート線電位の変化はなく、画素電極・対向電極間の電位差はほぼゼロの第2種の電位差のままである。

25 1回目の第2種の電位差印加ステップ $T_{12}$ から1回目の第1種の電位差印加ステップ $T_{11}$ に移行すると、画素電極・対向電極間の

電位差を第1種の電位差にするため対向電極電位を第1の電位にし、画素電極電位はその影響を受けて期間 $T_{11}$ の左側対向電極電位変動に示すように対向電極電位が変化した方向に $\Delta V_{p5}$ だけ変化する。ソース線電位を1回目の第2種の電位差印加ステップ $T_{12}$ 同様、  
5 対向電極電位に $\Delta V_{p6}$ を上乗せした電位として充電小ステップで画素トランジスタを一度オン・オフすると画素電極電位はゲート電極電位変動と同様に、第2種の電位差印加ステップの対向電極電位とほぼ等しくなる。以降、1回目の第1種の電位差印加ステップ $T_{11}$ 中は画素トランジスタオンによる画素電極の充電がないので画  
10 素電極電位は変化しない。

このように第1種の電位差印加ステップでは画素電極と対向電極間の電位差は、第2種の電位差印加ステップの対向電極電位と第1種の電位差印加ステップの対向電極電位の電位差とほぼ等しい。そこで、第1種の電位差印加ステップの対向電極電位と第2種の電位  
15 差印加ステップの対向電極電位の電位差が液晶層のバンド配向への転移に必要な電位差になるよう各期間の対向電極電位を設定する。

2回目の第2種の電位差印加ステップ $T_{22}$ が開始すると、対向電極電位が変化するため画素電極電位はその影響で期間 $T_{12}$ と期間 $T_{22}$ の境部の対向電極電位変動に示すように対向電極電位が変化  
20 した方向に電位が変化する。その後の画素トランジスタオンによる画素電極充電動作でその電位は1回目の第2種の電位差印加ステップでの画素電極電位となり、対向電極電位との電位差はほぼゼロの第2種の電位差になる。

2回目の第2種の電位差印加ステップ $T_{22}$ から2回目の第1種の  
25 の電位差印加ステップ $T_{21}$ に移行すると、対向電極電位は1回目の第1種の電位差印加ステップと同様に変化するが、この期間中も初



期の画素トランジスタオンにより、1回目の第1種の電位差印加ステップと同様の第1種の電位差が画素電極・対向電極間には与えられる。

以降、液晶層のベンド配向への転移が完了するまで繰り返し制御  
5 ステップで第2種の電位差印加ステップと第1種の電位差印加ステップを交互に繰り返し、第2種の電位差印加ステップでは画素電極・対向電極間の電位差はほとんどゼロの第2種の電位差になり、第1種の電位差印加ステップでは画素電極・対向電極間の電位差は液晶層が転移するために必要な十分に大きな第1種の電位差が与え  
10 られる。

画素電極へのソース線電位の充電を各期間の初期に1回しか行わないことにより、第7の実施の形態よりも画素トランジスタオン・オフタイミングの制御はより煩雑になるが、第2種の電位差印加ステップ中に画素トランジスタがオンになり画素電極と対向電極の電  
15 位差がゼロでなくなる時間を減らしつつ、画素電極電位を各期間の初期に確定して対向電極電位の変動の影響を排除し、第5の実施の形態・第7の実施の形態よりもパネル全面でのベンド配向への転移を高速化している。

第7の実施の形態と同様に、画素電極の充電が1回の画素トラン  
20 ジスタのオンでは不十分な場合や、液晶層をベンド配向に転移させるための駆動期間が通常の映像表示期間に対して非同期に開始し画素トランジスタを確実にオンにするために回数のマージンが必要な場合には、各期間の初めの画素トランジスタオンによる画素電極充電は1回ではなく数回行っても効果にあまり影響しない。

25 (第2-9の実施の形態)

図33と図24を用いて第5の実施の形態の液晶層をベンド配向

させるための駆動期間中、ゲート線のオフ電圧を直流にする場合の第 9 の実施の形態の動作を説明する。

図 3 3 に、図 2 4 で示す画素の電極電位のタイムチャートを示す。

本図において、液晶層をベンド配向させるための駆動期間の電気  
5 的動作タイミングは第 5 の実施の形態と同様である。図 2 4 の構造  
の液晶パネルでは、前段のゲート線 8 1 と透明画素電極 2 1 との間  
に蓄積容量  $C_{st}$  を形成し、通常映像表示期間には画素の隣り合う  
行の間に電位差を与えるために、前段のゲート線の電位と対向電極  
の電位をおなじ方向に変化させている。この動作はゲート線が画素  
10 トランジスタをオフにする電位すなわちオフ電圧を選択している間  
中行われる。液晶層をベンド配向させるための駆動期間中もこの動  
作が継続すると、前段のゲート線のオフ電圧の変動で式 (6) の  $\Delta V_{p,6}$  だけ画素電極電位が変動し、特に第 2 種の電位差印加ステッ  
プで画素電極・対向電極間の電位差をほぼゼロの第 2 種の電位差に  
15 したいにもかかわらず、数ボルトの電位差が生じる。第 2 種の電位  
差印加ステップでの画素電極・対向電極間の電位差は図 2 9 に示す  
ように 1 ボルトを超えると、転移完了時間が長くなる。

そこで、図 3 3 のように液晶層をベンド配向させるための駆動期  
間中、ゲート線オフ電圧直流保持ステップでゲート線のオフ電圧を  
20 直流にすることにより、第 2 種の電位差印加ステップでの画素電極  
の電位変動を回避でき、パネル全面でのベンド配向への転移を高速  
化できる。

(第 2 - 1 0 の実施の形態)

図 3 4、図 1 3 を用いて第 1 0 の実施の形態における動作を説明  
25 する。

図 3 4 に、図 1 3 で示す画素の電極電位のタイムチャートを示す。

本図において、太い点線は対向電極電位を、細い点線はゲート線電位を、細い実線はソース線電位を、太い実線は画素電極電位を示す。下部の  $V_{pc}$  は、画素電極・対向電極間電位差であり、 $V_{sc}$  はソース線・対向電極間電位差である。 $T_c$  は通常映像表示期間、  
 5  $T_{12}$  は1回目の第2種の電位差印加ステップ、 $T_{11}$  は1回目の第1種の電位差印加ステップ、 $T_{22}$  は2回目の第2種の電位差印加ステップ、 $T_{21}$  は2回目の第1種の電位差印加ステップである。また、各種の画素電極電位の変動要因を示す。

図34において、液晶層をベンド配向させるための駆動期間の1  
 10 回目の第2種の電位差印加ステップ  $T_{12}$  が開始すると、対向電極電位を通常映像表示期間とは異なる第2の電位とする。画素電極電位は液晶容量  $C_{lc}$  を介して対向電極と接続し、この瞬間には画素トランジスタがオフで電流供給がないため、対向電極電位変動分  $\Delta V_{com}$  に対して式(5)の  $\Delta V_{p5}$  だけ  $T_{12}$  の左端の対向電極電位変動に示すように対向電極電位の変化した方向に電位が変化する。  
 15 ソース線電位を、対向電極電位に  $\Delta V_{p6}$  を上乗せした電位とし、充電小ステップで画素トランジスタを一度オン・オフすると、画素電極電位は期間  $T_{12}$  中央のゲート電極電位変動に示すように、 $\Delta V_{p6}$  だけ下がり、対向電極電位とほぼ等しくなる。

20 1回目の第2種の電位差印加ステップ  $T_{12}$  から1回目の第1種の電位差印加ステップ  $T_{11}$  に移行すると、画素電極・対向電極間の電位差を第1種の電位差にするため、対向電極電位を第1の電位に変化させ、画素電極電位はその影響を受けて期間  $T_{11}$  と期間  $T_{12}$  の境部の対向電極電位変動に示すように対向電極電位の変化した方向に  $\Delta V_{p5}$  だけ変化する。ソース線電位を1回目の第2種の電位  
 25 差印加ステップ  $T_{12}$  同様、対向電極電位に  $\Delta V_{p6}$  を上乗せした電

位として充電小ステップで画素トランジスタを一度オン・オフすると、画素電極電位は期間  $T_{11}$  のゲート電極電位変動と同様に、ゲート線電位の電位変動の影響で下がる。

第1種の電位差印加ステップでは画素電極と対向電極の間の電位差が大きいほど液晶層のベンド配向への転移を高速化できるため、第2種の電位差印加ステップから第1種の電位差印加ステップへの対向電極電位の変動とは逆方向にソース線電位を変動させる。対向電極電位は、画素電極電位との電位差が液晶層のベンド配向への転移に必要な第1種の電位差になるように設定する。

2回目の第2種の電位差印加ステップ  $T_{22}$  が開始すると、対向電極電位が変化するため画素電極電位はその影響で期間  $T_{12}$  と期間  $T_{22}$  の境界部の対向電極電位変動に示すように対向電極電位の変化した方向に電位が変化する。その後の画素トランジスタオンによる画素電極充電動作でその電位は1回目の第2種の電位差印加ステップでの画素電極電位となり、対向電極電位との電位差はほぼゼロの第2種の電位差になる。

2回目の第2種の電位差印加ステップ  $T_{22}$  から2回目の第1種の電位差印加ステップ  $T_{21}$  に移行すると、対向電極電位は1回目の第1種の電位差印加ステップと同様に变化するが、この期間中も画素トランジスタオンによる画素電極充電により、1回目の第1種の電位差印加ステップと同様の第1種の電位差が画素電極・対向電極間には与えられる。

以降、液晶層のベンド配向への転移が完了するまで繰り返し制御ステップで第2種の電位差印加ステップと第1種の電位差印加ステップを交互に繰り返し、第2種の電位差印加ステップでは期間開始後1回目の画素トランジスタオンまでの間および充電小ステップで

画素トランジスタがオンして画素電極を充電している時以外は画素電極・対向電極間の電位差はほとんどゼロの第2種の電位差になり、第1種の電位差印加ステップでは期間開始後1回目の画素トランジスタオンまでの間以外は画素電極・対向電極間は液晶層がベンド配向へ転移するために必要な十分に大きな第1種の電位差が与えられる。

第2種の電位差印加ステップと第1種の電位差印加ステップとでソース線電位を変動することにより、第1種の電位差印加ステップには画素電極・対向電極間の第1種の電位差をより大きくすることができ、液晶層のベンド配向への転移を高速化できる。

図35に、第5の実施の形態および第6の実施の形態で液晶層をベンド配向させるための駆動期間を第1種の電位差印加ステップから開始した場合と、第2種の電位差印加ステップから開始した場合での転移が完了するまでの所要時間の測定結果を示す。

横軸に第1種の電位差印加ステップでの画素電極・対向電極間の第1種の電位差を示し、この電位差が大きければ転移完了時間は短くなっているが、いずれの電位差においても第2種の電位差印加ステップから開始した場合の方がより早くベンド配向への転移が完了する。

(第2-11の実施の形態)

図36と図13を用いて第11の実施の形態における動作を説明する。

図36において、太い点線は対向電極電位を、細い点線はゲート線電位を、細い実線はソース線電位を、太い点線は画素電極電位と示す。 $V_{pc}$ は、画素電極・対向電極間電位差である。3つの $T_c$ は通常映像表示期間、 $T_{12}$ は1回目の第2種の電位差印加ステップ、

$T_{11}$  は 1 回目の第 1 種の電位差印加ステップ、 $T_{22}$  は 2 回目の第 2 種の電位差印加ステップ、 $T_{21}$  は 2 回目の第 1 種の電位差印加ステップである。また、各種の画素電極電位の変動要因を示す。

本図において、液晶層をベンド配向させるための駆動期間の 1 回目の第 2 種の電位差印加ステップ  $T_{12}$  が開始すると、対向電極電位を通常映像表示期間とは異なる第 2 の電位とする。画素電極電位は、液晶容量  $C_{lc}$  を介して対向電極と接続し、この瞬間には画素トランジスタがオフで電流の供給がないため、対向電極電位変動分  $\Delta V_{com}$  に対して  $\Delta V_{p5}$  だけ本  $T_{12}$  の左端に示すように対向電極電位が変化した方向に電位が変化する。ソース線電位を、対向電極電位に  $\Delta V_{p6}$  を上乗せした電位とし、充電小ステップで画素トランジスタを一度オン・オフすると、画素電極電位は本  $T_{12}$  の中央に示すように  $\Delta V_{p6}$  だけ下がり、対向電極電位とほぼ等しくなる。

以降、1 回目の第 2 種の電位差印加ステップ中は、充電小ステップで画素トランジスタがオンになり画素電極にソース線電位を充電している時以外は画素電極電位と対向電極電位との電位差はほぼゼロの第 2 種の電位差になる。

1 回目の第 2 種の電位差印加ステップ  $T_{12}$  から 1 回目の第 1 種の電位差印加ステップ  $T_{11}$  に移行すると、画素電極電位と対向電極電位との電位差を第 1 種の電位差にするために対向電極電位を第 1 の電位に変化させ、画素電極電位はその影響を受けて対向電極電位が変化した方向に  $\Delta V_{p5}$  だけ変化する。ソース線電位を 1 回目の第 2 種の電位差印加ステップ  $T_{12}$  同様、対向電極電位に  $\Delta V_{p6}$  を上乗せした電位として充電小ステップで画素トランジスタを一度オン・オフすると、画素電極電位はゲート線電位の電位変動の影響で第 2 種の電位差印加ステップの対向電極電位とほぼ等しい電位まで

は下がるが、第 1 種の電位差印加ステップでは画素電極電位と対向電極電位の間の電位差が液晶層がベンド配向に転移するのに必要な十分に大きい第 1 種の電位差になるように対向電極電位を設定する。以降、1 回目の第 1 種の電位差印加ステップ  $T_{11}$  中は、画素電極電位と対向電極電位の間の電位差は、液晶層のベンド配向への転移に必要な第 1 種の電位差が与えられている。

2 回目の第 2 種の電位差印加ステップ  $T_{22}$  が開始すると、対向電極電位が変化するため画素電極電位はその影響で  $T_{22}$  の最初の対向電極電位変動に示すように対向電極電位が変化した方向に電位が変化するが、画素トランジスタを一度オン・オフすると、1 回目の第 2 種の電位差印加ステップ  $T_{12}$  と同様に、画素トランジスタがオンになり画素電極にソース線電位を充電している時以外は画素電極・対向電極間の電位差はほぼゼロの第 2 種の電位差になる。

2 回目の第 2 種の電位差印加ステップ  $T_{22}$  から 2 回目の第 1 種の電位差印加ステップ  $T_{21}$  に移行すると、対向電極電位は 1 回目の第 1 種の電位差印加ステップと同様に变化するが、画素トランジスタがオンになり画素電極にソース線電位を充電している時も画素トランジスタがオフしている時も画素電極電位と対向電極電位の間の電位差は、液晶層のベンド配向への転移に必要な第 1 種の電位差が与えられている。

以降、液晶層の転移がほぼ完了するまで繰り返し制御ステップで第 2 種の電位差印加ステップと第 1 種の電位差印加ステップを交互に繰り返し、第 2 種の電位差印加ステップでは期間開始後 1 回目の画素トランジスタがオンするまでの間および画素トランジスタがオンしている時以外は画素電極・対向電極間の電位差はほとんどゼロの第 2 種の電位差になり、第 1 種の電位差印加ステップでは期間開

始後 1 回目の画素トランジスタがオンするまでの間以外は画素電極・対向電極間は液晶層がベンド配向へ転移するために必要な十分に大きな第 1 種の電位差が与えられている。

5 液晶層のベンド配向への転移がほぼ完了した時点で通常映像表示期間  $T_c$  に移行する前に、移行用高電位差印加ステップで画素電極・対向電極間の電位差が大きい映像情報（通常は黒か白の表示）を 1 フィールド表示すると、液晶層のベンド配向領域の拡大が完了し、以降、本来の入力映像情報を表示するその次の通常映像表示期間  $T_c$  に移行する。

10 通常、第 1 種の電位差印加ステップ、第 2 種の電位差印加ステップは数フィールド以上、時間にして数百ミリ秒以上になることが多く、液晶層のベンド配向への転移を完了するために第 1 種の電位差印加ステップもしくは第 2 種の電位差印加ステップを 1 回追加すると、転移完了時間は数百ミリ秒単位で増加する。新たなベンド核の  
15 発生は不要でベンド領域の拡大のみで転移が完了する場合には、画素電極・対向電極間の電位差が大きい映像情報を表示することで数十ミリ秒の時間追加で良くなり、転移完了時間を短縮することができる。

### { 第 3 の発明群 }

20 本発明群は、電源投入時の各部の立上げの制御に関する。

以下、その実施の形態に基づいて本第 3 の発明群を説明する。

以下、本発明群の実施の形態を、図 3 7 と図 3 8 を参照しつつ説明する。なお、本発明群は、実施の形態は 1 つである。

図 3 7 において、 $V_g$  は、ゲート線電位である。 $V_s$  は、ソース  
25 線の電位である。 $V_p$  は、画素電極の電位である。 $V_{pc}$  は、画素電極と対向電極間の電位差である。また、 $T_o$  は、電源オフ期間で



あり、 $T_{12}$ は1回目の第2種の電位差印加ステップである。 $T_{11}$ は1回目の第1種の電位差印加ステップであり、 $T_c$ は、通常の映像の表示期間である。また、各種の画素電極電位の変動要因を示す。

図38において、3801は主電源、3802は電源回路コントローラ、3803は各種電源電圧発生回路、3804は液晶パネルコントローラ、3805は液晶パネルである。主電源3801と液晶パネルコントローラ3804には外部より起動スイッチ3810が接続されている。この起動スイッチ3810は液晶パネルコントローラ3804の内部のカウンタ3811とそれに続く3812の切換手段Aが接続され、起動後、液晶パネルコントローラ3804に電源が供給された後は、このカウンタにより、所定の期間をカウントした後、通常映像信号発生部3813からの映像信号を液晶パネル3805へ印加する。所定の期間をカウント中は、3814の電圧発生手段1と3815の電圧発生手段2を周期カウンタ3816で設定された所定の周期で、3817の切換手段Bにより切換える。

図38の回路で、電源オフ期間 $T_o$ は液晶パネルに入力するすべての信号は不定である。起動スイッチ3810を投入して電源をオンにすると、まず3802の電源回路コントローラにのみ電源が供給され、3802のコントローラが各種電源電圧発生回路を順次制御して液晶パネルコントローラの動作が開始する。このような液晶層安定保持立ち上げ制御ステップを有する回路構成にすることにより、液晶パネルに入力する信号を電源投入後、直ちに第2種の電位差印加ステップの電圧設定にすることが可能になり、電圧無印加状態での液晶層の整列状態を壊すことなく液晶層のベンド配向への転移期間を開始することができ、電源投入後の転移完了時間を短くす

ることができる。

電圧無印加状態での液晶層はスプレイ配向状態で基板のラビング溝に沿って整列しているが、何等かの電位差印加があると、ベンド配向に転移しやすい液晶素子から順に転移が開始する。液晶パネル

5 面内でスプレイ配向のままの液晶素子と、ベンド配向に移転しかけている液晶素子が無秩序に混在すると、それらの液晶素子に同時に大きい電位差を印加しても潤滑なベンド配向への転移が行なわれない場合がある。本実施の形態では、液晶装置の電源投入直後に無作為な電位差印加によりベンド配向への転移を始める液晶素子の発生

10 を抑えて、全面がスプレイ配向状態の液晶素子に対してベンド配向への転移のための駆動を開始することを目的としている。

表 1 に本実施の形態の駆動方式による実験結果の一例を示す。

( 表 1 )

第2の期間 [s]	第1の期間 [s]	転移状態	
		本実施の形態の 駆動方式	第2の期間前に 通常映像表示期間あり
0.017	1	×	×
0.17	1	▲	×
0.25	1	△	▲
0.33	1	△	△
0.5	1	○	△
0.75	1	○	○
1	1	○	○

15 本実施の形態の駆動方式とは、電源投入後、液晶パネルに入力する対向電極電位、ゲート線電位、ソース線電位が全て、第2種の電位差印加ステップで出力されるべき電圧を出力するものである。一方、第2種の電位差印加ステップ前に通常の映像の表示期間がある従来の方式では、電源投入後各種電源電圧発生回路が無制御のまま

立ちあがり、第2種の電位差印加ステップの前に通常映像表示期間と同様の電圧が対向電極電位、ゲート線電位、ソース線電位に出力される。これら2方式で第2種の電位差印加ステップの所要時間を変えて転移完了状態を観測すると、本実施の形態の駆動方式のほう  
5 が短時間で転移が完了することがわかった。

なお、第2の発明群と本発明群の実施の形態では、第1種の電位差印加ステップと第2種の電位差印加ステップとでソース線電位は同様に変化する必要はなく、各期間において異なるタイミング、異なる電位で変化しても何ら差し支えない。

10 以上、本発明をその幾つかの実施の形態に基づいて説明してきたが、本発明は何もこれらに限定されないのは勿論である。すなわち例えば以下の様にしても良い。

1) 液晶装置は、液晶表示装置でなく、液晶プラズマディスプレイ、有機EL等である。

15 2) 液晶表示装置は、反射型、いわゆるROCBと言われる型のものである。 3) 液晶装置は、光スイッチや光論理素子等である。

#### 産業上の利用可能性

以上の説明で判るように、本発明によれば、

20 液晶パネルの中でも広い面積を占める画素電極と対向電極の間に通常映像表示時よりも高い第1種の電位差を付与することにより、液晶層のベンド配向への核の生成およびベンド領域の拡大を行い、パネル全面で液晶層を短時間にベンド配向に転移することができ、高速応答で広視野角な液晶パネルを提供することができる。

25 また、液晶パネルの画素電極と対向電極の間に通常映像表示時よりも高い第1種の電位差を付与する第1種の電位差印加ステップと、

第 1 種の電位差よりも小さい第 2 種の電位差を付与する第 2 種の電位差印加ステップを交互に設けることにより、液晶層のベンド配向への核の生成およびベンド領域の拡大と、液晶層の再整列を交互に行い、結果的にパネル全面で液晶層を短時間にベンド配向に転移することができ、高速応答で広視野角な液晶パネルを提供することができる。

また、画素電極との間に蓄積容量を形成している共通電極の電位を変更することで、画素電極電位をソース線から与えた電位よりも更に対向電極との電位差が大きくなるように変動させ、液晶層に高い電位差を付与することで、パネル全面で液晶層をより短時間にベンド配向に転移することができ、高速応答で広視野角な液晶パネルを提供することができる。

また、画素電極との間に蓄積容量を形成している前段のゲート線の電位を変更することで、画素電極電位をソース線から与えた電位よりも更に対向電極との電位差が大きくなるように変動させ、液晶層に高い電位差を付与することで、パネル全面で液晶層をより短時間にベンド配向に転移することができ、高速応答で広視野角な液晶パネルを提供することができる。

また、ソース線電位に、画素トランジスタがオフする時に画素電極に生じる電位変動分を考慮することで、ゲート線のオン・オフタイミングを通常の映像表示時と変更することなく、画素電極と対向電極間に液晶層のベンド配向への転移に有効な第 1 種の電位差と第 2 種の電位差を付与することができ、パネル全面でのベンド配向への転移を高速にすることができる。

また、同じくゲート線のオン・オフタイミングを通常の映像表示時と同様にしながら、画素トランジスタがオフしているときには更

にソース線の電位を変動させて、ソース線と対向電極間にも液晶層のベンド配向への転移に有効な第2種の電位差を付与することにより、パネル全面でのベンド配向への転移をより高速化することができる。

5       また、画素トランジスタのオンによる画素電極充電を液晶層をベンド配向に転移させる駆動期間の初期に少なくとも1回行うことにより、画素トランジスタのオン・オフタイミングを通常映像表示期間とは変えるという煩雑さはあるが、第2種の電位差印加ステップ中の画素電極充電回数が通常タイミングよりも少ないため、画素電  
10   極と対向電極間の電位差がゼロの時間が第2種の電位差印加ステップ中に多くなり、パネル全面でのベンド配向への転移をより高速にすることができる。

      また、画素トランジスタのオンによる画素電極充電を液晶層をベンド配向させるための第1種の電位差印加ステップ、第2種の電位  
15   差印加ステップそれぞれの初期に少なくとも1回行うことにより、画素トランジスタのオン・オフタイミングの制御はより煩雑になるが、各期間の初期に画素電極電位を確定することで対向電極電位の変動の影響を全く排除して第1種の電位差および第2種の電位差を付与することができ、パネル全面でのベンド配向への転移をより高  
20   速化することができる。

      また、液晶層のベンド配向への転移の駆動期間中、ゲート線のオフ電圧を直流にすることにより、特に第2種の電位差印加ステップで画素電極がゲート線電位変動から受ける影響を排除することができ、パネル全面でのベンド配向への転移を高速にすることができる。

25       また、第1種の電位差印加ステップと第2種の電位差印加ステップとでソース線の電位を変動させ、第1種の電位差印加ステップで

の画素電極と対向電極間の電位差をより大きくすることで、パネル全面でのベンド配向への転移を高速にすることができる。

また、液晶層をベンド配向させるための駆動期間を終了し、通常映像表示期間に移行する前に、画素電極・対向電極間の電位差が大きい映像情報を1フィールド表示することにより、ベンド配向させるための第1種の電位差印加ステップあるいは第2種の電位差印加ステップを追加して転移完了のための時間を数百ミリ秒も増やすことなく、1フィールドすなわち十数ミリ秒の時間の追加でベンド配向への転移を完了することができ、パネル全面での転移完了時間を短縮することができる。

また、電源投入時の液晶層の状態を電源未投入時の状態から過度に乱すことなく第2種の電位差印加ステップを開始することにより、液晶層の整列をより短時間で行い、パネル全面での液晶層のベンド配向への転移を高速にすることができる。

また、ゲート線電極と対向電極間の絶縁膜を薄くすることにより、ゲート線電極と対向電極間の電界強度を高くし、液晶層のベンド配向の核の生成を多量・高速化することにより、パネル全面でのベンド配向への転移を高速にすることができる。

また、ゲート線電極と対向電極間の絶縁膜をパターニングにより薄くすることで、液晶層のベンド配向の核の生成を多量・高速化することができ、パネル全面でのベンド配向への転移を高速にすることができる。

また、ゲート線電極の厚みを厚くすることでゲート線上の液晶層の厚みが薄くなり、液晶層にかかる電界強度が高くなり、液晶層のベンド配向の核の生成を多量・高速化することができ、パネル全面でのベンド配向への転移を高速にすることができる。

また、ゲート線形成金属の上にソース線形成金属を電氣的に接触させて積層することにより実質的にゲート線電極の膜厚を厚く、ゲート線上の液晶層の厚みを薄くし、液晶層にかかる電界強度を高くすることでベンド配向への転移を高速にすることができる。

- 5      また、ゲート線電極と対向電極の間にソース線形成金属を電氣的に絶縁して介在させることでゲート線上の液晶層の厚みを薄くし、液晶層にかかる電界強度を高くすることでベンド配向への転移を高速にすることができる。

- 10      また、対向電極を第1の対向電極と第2の対向電極にパターンングし、第1の対向電極と第2の対向電極を電氣的に絶縁しているため、電圧変動が液晶層や絶縁膜の容量性負荷を介して画素電極や画素トランジスタに影響することを防ぎながらゲート線電極上の液晶層に任意の電界強度を与えることができ、ベンド配向への転移を高速に行うことができる。通常の映像表示時には第1の対向電極と第  
15      2の対向電極を同電位にすることにより、対向電極がパターンングされていない従来の液晶表示装置と全く同等の画質を得ることができる。

- 20      また、ゲート線上と向かい合う対向電極を二層にすることでゲート線上の液晶層の厚みが薄くなり電界強度を高くすることができ、ベンド配向への転移を高速に行うことができる。

- 25      また、第2の基板上で、第1の基板のゲート線電極と向かい合う部分でカラーフィルター形成樹脂を積層することによりこの部分の対向電極を盛り上げゲート線上の液晶層の厚みを薄くすることにより、液晶層の電界強度を高くすることができ、ベンド配向への転移を高速にすることができる。

また、第2の基板上で、第1の基板のゲート線電極と向かい合う

部分に柱状スペーサを形成し、この柱状スペーサと液晶層の間に対向電極を形成することによりゲート線上の液晶層の厚みを薄くし、液晶層の電界強度を高くすることができ、ベンド配向への転移を高速にすることができる。



## 請 求 の 範 囲

1. マトリクス状に薄膜トランジスタや画素電極が形成された第1の基板と、対向電極が形成された第2の基板との間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置の駆動方法  
5 において、

上記第1の基板の画素電極と上記第2の基板の対向電極との間に、通常映像表示期間と異なる電位差を連続的に印加する異電位差連続印加ステップを有していることを特徴とする液晶装置の駆動方法。

2. マトリクス状に薄膜トランジスタや画素電極が形成された第1の基板と、対向電極が形成された第2の基板との間に在るス  
10 プレイ配向の液晶層をベンド配向にするための液晶装置の駆動回路において、

上記第1の基板の画素電極と上記第2の基板の対向電極との間に、通常映像表示期間とは異なる電位差を連続的に印加する異電位差連続印加手段を有していることを特徴とする液晶装置。  
15

3. マトリクス状に薄膜トランジスタや画素電極が形成された第1の基板と、対向電極が形成された第2の基板との間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置の駆動方法  
において、

20 上記第1の基板の画素電極と第2の基板の対向電極との間に、通常映像表示期間とは異なる第1種の電位差を印加する第1種の電位差印加ステップと、

上記第1種の電位差よりも小さい第2種の電位差を印加する第2種の電位差印加ステップと、

25 前記両ステップを少くも1回づつ交互に実施させる、更に、印加の1繰り返し期間のうち、上記第1種の電位差を印加する期間が5

0 % 以上 9 5 % 以下となるようにする繰り返し制御ステップとを有していることを特徴とする液晶装置の駆動方法。

4 . 前記繰り返し制御ステップによる上記第 1 種の電位差と第 2 種の電位差の交互の印加に際して、電位差の切り替えに要する  
5 時間が、当該 1 繰り返し期間の 1 周期の 3 0 % 以下である様にする期間切り替え制御ステップを有していることを特徴とする請求項 3 に記載の液晶装置の駆動方法。

5 . 請求項 1 に記載の異電位差連続印加ステップ及び請求項 3 に記載の第 1 種の電位差印加ステップは各々、

10 各画素電極に接続する蓄積容量を全画素電極に対して共通の電位を有する共通電極との間に形成し、該蓄積容量を含む画素電極容量と、薄膜トランジスタに寄生するゲート線と画素電極の間の容量との比により共通電極の電位変動に付随して発生する画素電極の電位変化を利用して電位差を得る共通電極電位変動利用型異電位差連続  
15 印加ステップ、共通電極電位変動利用型第 1 種の電位差印加ステップであることを特徴とする液晶装置の駆動方法。

6 . 前記共通電極電位変動利用型異電位差連続印加ステップと共通電極電位変動利用型第 1 種の電位差印加ステップは、

共通電極に印加する電圧をゲート信号に用いる電圧と等しくする  
20 ことを特徴とする請求項 5 に記載の液晶装置の駆動方法。

7 . 請求項 1 に記載の異電位差連続印加ステップ及び請求項 3 に記載の第 1 種の電位差印加ステップは各々、

各画素電極に接続する蓄積容量を 1 ライン前若しくは後ろのゲート線との間に形成し、該蓄積容量を含む画素電極容量と、薄膜ト  
25 ンジスタに寄生するゲート線と画素電極の間の容量との比により 1 ライン前若しくは後ろのゲート線の電位変動に付随して発生する画

素電極の電位変化を利用して電位差を得るゲート線電位変動利用型異電位差連続印加ステップ、ゲート線電位変動利用型第1種の電位差印加ステップであることを特徴とする液晶装置の駆動方法。

8. マトリクス状に薄膜トランジスタや画素電極が形成された第1の基板と、対向電極が形成された第2の基板との間に在るス  
5 プレイ配向の液晶層をベンド配向にするための液晶装置の駆動回路において、

上記第1の基板の画素電極と第2の基板の対向電極との間に、通常映像表示期間とは異なる第1種の電位差を印加する第1種の電位  
10 差印加手段と、

上記第1種の電位差よりも小さい第2種の電位差を印加する第2種の電位差印加手段と、

前記両手段を少なくも1回づつ交互に実施させる、更に、印加の1繰り返し期間のうち、上記第1種の電位差を印加する期間が50%  
15 以上95%以下となるようにする繰り返し制御手段とを有していることを特徴とする液晶装置の駆動回路。

9. 前記繰り返し制御手段による上記第1種の電位差と第2種の電位差の交互の印加に際して、上記第1種の電位差を印加する期間と上記第2の種の電位差を印加する期間の電位差の切り替えに  
20 要する時間が、当該繰り返し期間の1周期の30%以下である様にする期間切り替え制御手段を有していることを特徴とする請求項8に記載の液晶装置の駆動回路。

10. 請求項2に記載の異電位差連続印加手段及び請求項8に記載の第1種の電位差印加手段は各々、

25 各画素電極に接続する蓄積容量を全画素電極に対して共通の電位を有する共通電極との間に形成し、該蓄積容量を含む画素電極容量

と、薄膜トランジスタに寄生するゲート線と画素電極の間の容量との比により共通電極の電位変動に付随して発生する画素電極の電位変化を利用して電位差を得る共通電極電位変動利用型異電位差連続印加手段、共通電極電位変動利用型第1種の電位差印加手段である

5      ことを特徴とする液晶装置の駆動回路。

1 1 .      前記共通電極電位変動利用型異電位差連続印加手段、共通電極電位変動利用型第1種の電位差印加手段は各々、

共通電極に印加する電圧をゲート信号に用いる電圧と等しくすることを特徴とする請求項10に記載の液晶装置の駆動回路。

10      1 2 .      請求項2に記載の異電位差連続印加手段、請求項8に記載の第1種の電位差印加手段は各々、

各画素電極に接続する蓄積容量を1ライン前若しくは後ろのゲート線との間に形成し、該蓄積容量を含む画素電極容量と、薄膜トランジスタに寄生するゲート線と画素電極の間の容量との比により1  
15      ライン前若しくは後ろのゲート線の電位変動に付随して発生する画素電極の電位変化を利用して電位差を得るゲート線電位変動利用型異電位差連続印加手段、ゲート線電位変動利用型第1種の電位差印加手段である事を特徴とする液晶装置の駆動回路。

1 3 .      マトリクス状に薄膜トランジスタや画素電極が形成された第1の基板と、対向電極が形成された第2の基板との間に在る  
20      スプレィ配向の液晶層をベンド配向にするための液晶装置の駆動方法において、

画素電極と対向電極間に通常映像表示期間とは異なる第1種の電位差を印加する第1種の電位差印加ステップと、

25      上記第1種の電位差よりも小さい第2種の電位差を印加する第2種の電位差印加ステップと、

前記両ステップを交互に、そして少くも 1 回づつ実施させる繰り返し制御ステップを有し、更に、

上記第 2 種の電位差印加ステップの期間に画素トランジスタをオンからオフにする際にゲート線の電位変動に誘起されて画素電極に生じる電位変動分を対向電極電位に反映した電位をソース線に与えて画素電極の充電を行う充電小ステップとを有していることを特徴とする液晶装置の駆動方法。

1 4 . 前記第 2 種の電位差印加ステップは、

第 2 種の電位差を  $\pm 1 \text{ V}$  以内にすることを特徴とする請求項 1 3 に記載の液晶装置の駆動方法。

1 5 . 前記第 2 種の電位差印加ステップは、

第 2 種の電位差を印加する期間の画素トランジスタがオフのときには対向電極と等しい電位をソース線に与えることを特徴とする請求項 1 3 に記載の液晶装置の駆動方法。

1 6 . 液晶層をベンド配向させるための駆動期間の初期に、前記充電小ステップを少くも 1 回行うことを特徴とする請求項 1 3 に記載の液晶装置の駆動方法。

1 7 . 液晶層をベンド配向させるための駆動を行う期間で前記第 1 種の電位差印加ステップおよび前記第 2 種の電位差印加ステップを開始した初期に、前記充電小ステップを少くも 1 回行うことを特徴とする請求項 1 3 に記載の液晶装置の駆動方法。

1 8 . ゲート線のオフ電圧を直流に保持し続けるゲート線オフ電圧直流保持ステップを有していることを特徴とする請求項 1 3 に記載の液晶装置の駆動方法。

1 9 . マトリクス状に薄膜トランジスタや画素電極が形成された第 1 の基板と、対向電極が形成された第 2 の基板との間に在る

スプレイ配向の液晶層をベンド配向にするための液晶装置の駆動回路において、

画素電極と対向電極間に通常映像表示期間とは異なる第1種の電位差を印加する第1種の電位差印加手段と、

- 5      上記第1種の電位差よりも小さい第2種の電位差を印加する第2種の電位差印加手段と、

前記両手段を少なくも1回交互に動作させる繰り返し制御手段を有し、更に、

- 10      上記第2種の電位差が印加されている期間に画素トランジスタをオンからオフにする際にゲート線の電位変動に誘起されて画素電極に生じる電位変動分を対向電極電位に反映した電位をソース線に与えて画素電極の充電を行う充電小手段とを有していることを特徴とする液晶装置の駆動回路。

20      前記第2種の電位差印加手段は、

- 15      第2種の電位差を $\pm 1$  V以内にすることを特徴とする請求項19に記載の液晶装置の駆動回路。

21      前記第2種の電位差印加手段は、

- 20      第2種の電位差を印加する期間の画素トランジスタがオフのときには対向電極と等しい電位をソース線に与えることを特徴とする請求項19に記載の液晶装置の駆動回路。

22      液晶層をベンド配向させるための駆動期間の初期に、前記充電小手段を少なくも1回行うことを特徴とする請求項19に記載の液晶装置の駆動回路。

- 25      23      液晶層をベンド配向させるための駆動を行う期間で前記第1種の電位差印加手段および前記第2種の電位差印加手段が動作を開始した初期に、前記充電小手段を少なくも1回行うことを特徴

とする請求項 19 に記載の液晶装置の駆動回路。

24. ゲート線のオフ電圧を直流に保持し続けるゲート線オフ電圧直流保持手段を有していることを特徴とする請求項 19 に記載の液晶装置の駆動回路。

- 5        25. マトリクス状に薄膜トランジスタや画素電極が形成された第 1 の基板と、対向電極が形成された第 2 の基板との間に在るスプレィ配向の液晶層をベンド配向にするための液晶装置の駆動方法において、

10        画素電極と対向電極間に通常映像表示期間とは異なる第 1 種の電位差を印加する第 1 種の電位差印加ステップと、

      上記第 1 種の電位差よりも小さい第 2 種の電位差を印加する第 2 種の電位差印加ステップと、

      前記両ステップを交互に、そして少くも 1 回づつ実施させる繰り返し制御ステップを有し、更に、

- 15        上記第 2 種の電位差印加ステップの期間に画素トランジスタをオンからオフにする際にゲート線の電位変動に誘起されて画素電極に生じる電位変動分を対向電極電位に反映した電位をソース線に与えて画素電極の充電を行う充電小ステップを有し、

20        上記第 1 種の電位差が印加されている期間には、当該第 1 種の電位差がより大きくなるようにソース線の電位を第 2 種の電位差を印加されている期間とは異なる電位にすることを特徴とする液晶装置の駆動方法。

26. 前記第 2 種の電位差印加ステップは、

- 25        第 2 種の電位差を  $\pm 1 \text{ V}$  以内にすることを特徴とする請求項 25 に記載の液晶装置の駆動方法。

27. 前記第 2 種の電位差印加ステップは、

第 2 種の電位差を印加する期間の画素トランジスタがオフのときには対向電極と等しい電位をソース線に与えることを特徴とする請求項 25 に記載の液晶装置の駆動方法。

28. 液晶層をベンド配向させるための駆動期間の初期に、  
5 前記充電小ステップを少なくも 1 回行うことを特徴とする請求項 25 に記載の液晶装置の駆動方法。

29. 液晶層をベンド配向させるための駆動を行う期間で前記第 1 種の電位差印加ステップおよび前記第 2 種の電位差印加ステップを開始した初期に、前記充電小ステップを少なくも 1 回行うことを特徴とする請求項 25 に記載の液晶装置の駆動方法。  
10

30. ゲート線のオフ電圧を直流に保持し続けるゲート線オフ電圧直流保持ステップを有していることを特徴とする請求項 25 に記載の液晶装置の駆動方法。

31. マトリクス状に薄膜トランジスタや画素電極が形成された第 1 の基板と、対向電極が形成された第 2 の基板との間に在る  
15 スプレイ配向の液晶層をベンド配向にするための液晶装置の駆動回路において、

画素電極と対向電極間に通常映像表示期間とは異なる第 1 種の電位差を印加する第 1 種の電位差印加手段と、

20 上記第 1 種の電位差よりも小さい第 2 種の電位差を印加する第 2 種の電位差印加手段と、

前記両手段を交互に、そして少なくも 1 回づつ動作させる繰り返し制御手段を有し、更に、

上記第 2 種の電位差が印加されている期間に画素トランジスタを  
25 オンからオフにする際にゲート線の電位変動に誘起されて画素電極に生じる電位変動分を対向電極電位に反映した電位をソース線に与



えて画素電極の充電を行う充電小手段を有し、

上記第1種の電位差が印加されている期間には当該第1種の電位差がより大きくなるようにソース線の電位を第2種の電位差が印加されている期間とは異なる電位にすることを特徴とする液晶装置の  
5 駆動回路。

32. 前記第2種の電位差印加手段は、

第2種の電位差を $\pm 1\text{ V}$ 以内にすることを特徴とする請求項31  
に記載の液晶装置の駆動回路。

33. 前記第2種の電位差印加手段は、

10 第2種の電位差を印加する期間の画素トランジスタがオフのときには対向電極と等しい電位をソース線に与えることを特徴とする請求項31に記載の液晶装置の駆動回路。

34. 液晶層をベンド配向させるための駆動期間の初期に、  
前記充電小手段を少くも1回行うことを特徴とする請求項31に記  
15 載の液晶装置の駆動回路。

35. 液晶層をベンド配向させるための駆動を行う期間で前記第1種の電位差印加手段および前記第2種の電位差印加手段が動作を開始した初期に、前記充電小手段を少くも1回行うことを特徴とする請求項31に記載の液晶装置の駆動回路。

20 36. ゲート線のオフ電圧を直流に保持し続けるゲート線オフ電圧直流保持手段を有していることを特徴とする請求項31に記載の液晶装置の駆動回路。

37. マトリクス状に薄膜トランジスタや画素電極が形成された第1の基板と、対向電極が形成された第2の基板との間に在る  
25 スプレイ配向の液晶層をベンド配向にするための液晶装置の駆動方法において、

上記第 1 の基板の画素電極と第 2 の基板の対向電極との間に、通常映像表示期間とは異なる第 1 種の電位差を印加する第 1 種の電位差印加ステップと、

上記第 1 種の電位差よりも小さい第 2 種の電位差を印加する第 2 5 種の電位差印加ステップと、

前記両ステップを交互に、そして少くも 1 回ずつ実施させる繰り返し制御ステップと、

前記繰り返し制御ステップにおいて、前記第 2 種の電位差印加ステップを先に実行させることを特徴とする液晶装置の駆動方法。

10        38.        マトリクス状に薄膜トランジスタや画素電極が形成された第 1 の基板と、対向電極が形成された第 2 の基板との間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置の駆動方法において、

上記第 1 の基板の画素電極と第 2 の基板の対向電極との間に、通常映像表示期間とは異なる第 1 種の電位差を印加する第 1 種の電位差印加手段と、

上記第 1 種の電位差よりも小さい第 2 種の電位差を印加する第 2 種の電位差印加手段と、

前記第 2 種の電位差印加手段から先に実行させ、前記第 1 種の電位差印加手段と交互に、そして少くも 1 回ずつ動作させる繰り返し制御手段とを有していることを特徴とする液晶装置の駆動回路。

20        39.        マトリクス状に薄膜トランジスタや画素電極が形成された第 1 の基板と、対向電極が形成された第 2 の基板との間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置の駆動方法において、

上記第 1 の基板の画素電極と第 2 の基板の対向電極との間に、通

常映像表示期間とは異なる第1種の電位差を印加する第1種の電位差印加ステップと、

上記第1種の電位差よりも小さい第2種の電位差を印加する第2種の電位差印加ステップと、

- 5 前記両ステップを交互に、そして少くも1回ずつ実施させる繰り返し制御ステップと、

前記両ステップの交互の、そして少くも1回ずつの実施が終了し、通常の映像情報を表示する期間に移行するまでの間に、通常映像情報表示期間時に液晶層にかかる電位差のうちで大きい電位差を上記  
10 液晶層に少くも1フィールド印加する移行用高電位差印加ステップとを有していることを特徴とする液晶装置の駆動方法。

40. マトリクス状に薄膜トランジスタや画素電極が形成された第1の基板と、対向電極が形成された第2の基板との間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置の駆動回路において、  
15

上記第1の基板の画素電極と第2の基板の対向電極との間に、通常映像表示期間とは異なる第1種の電位差を印加する第1種の電位差印加手段と、

上記第1種の電位差よりも小さい第2種の電位差を印加する第2  
20 種の電位差印加手段と、

前記両手段を交互に、そして少くも1回ずつ動作させる繰り返し制御手段と、

前記両手段の交互の、そして少くも1回ずつの動作が終了し、通常の映像情報を表示する期間に移行するまでの間に、通常映像情報  
25 表示期間時に液晶層にかかる電位差のうちで大きい電位差を上記液晶層に少くも1フィールド印加する移行用高電位差印加手段とを有

していることを特徴とする液晶装置の駆動回路。

4 1 .     マトリクス状に薄膜トランジスタや画素電極が形成された第 1 の基板と、対向電極が形成された第 2 の基板との間に在るスプレィ配向の液晶層をベンド配向にするための液晶装置の駆動方法において、

上記第 1 の基板の画素電極と第 2 の基板の対向電極との間に、通常映像表示期間とは異なる第 1 種の電位差を印加する第 1 種の電位差印加ステップと、

10    上記第 1 種の電位差よりも小さい第 2 種の電位差を印加する第 2 種の電位差印加ステップと、

前記第 2 種の電位差印加ステップから開始し、前記第 1 種の電位差印加ステップと交互に、そして少くも 1 回づつ動作させる繰り返し制御ステップと、これに先立ち電源投入後、上記液晶層の整列状態を過度に乱さない様上記液晶装置の各部の立上げを制御する液晶層安定保持立上げ制御ステップとを有していることを特徴とする液晶装置の駆動方法。

4 2 .     マトリクス状に薄膜トランジスタや画素電極が形成された第 1 の基板と、対向電極が形成された第 2 の基板との間に在るスプレィ配向の液晶層をベンド配向にするための液晶装置の駆動回路において、

上記第 1 の基板の画素電極と第 2 の基板の対向電極との間に、通常映像表示期間とは異なる第 1 種の電位差を印加する第 1 種の電位差印加手段と、

25    上記第 1 種の電位差よりも小さい第 2 種の電位差を印加する第 2 種の電位差印加手段と、

前記第 2 種の電位差印加手段から開始し、前記第 1 種の電位差印

加手段と交互に少なくとも１回づつ動作させる繰り返し制御手段と、これに先立ち電源投入後、上記液晶層の整列状態を過度に乱さない様上記液晶装置の各部の立上げを制御する液晶層安定保持立上げ制御手段と、を有していることを特徴とする液晶装置の駆動回路。

- 5            4 3 .        マトリクス状に薄膜トランジスタや画素電極やゲート線等が形成された第１の基板と、対向電極が形成された第２の基板との間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置の駆動方法において、

10            上記ゲート線をパルス状の信号で走査しつつ、上記画素電極と対向電極間に通常映像表示期間より大きい電位差を印加する期間を設ける高電位差印加ステップを有していることを特徴とする液晶装置の駆動方法。

- 15            4 4 .        マトリクス状に薄膜トランジスタや画素電極やゲート線等が形成された第１の基板と、対向電極が形成された第２の基板との間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置の駆動回路において、

20            上記ゲート線をパルス状の信号で走査しつつ、上記画素電極と対向電極間に通常映像表示期間より大きい電位差を印加する期間を設ける高電位差印加手段を有していることを特徴とする液晶装置の駆動回路。

             4 5 .        マトリクス状に薄膜トランジスタや画素電極等が形成された第１の基板と、対向電極が形成された第２の基板と、両基板間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置の駆動方法において、

- 25            上記第１の基板のゲート線と上記第２の基板の対向電極間に、通常映像表示期間に液晶層に印加するよりも高い電界強度を与える期

間を高電界付与立上げステップとして有していることを特徴とする液晶装置の駆動方法。

46. マトリクス状に薄膜トランジスタや画素電極やゲート線等が形成された第1の基板と、対向電極が形成された第2の基板と、両基板間に在るスプレイ配向の液晶層をベンド配向にするための液晶装置において、

上記第1の基板のゲート線と上記第2の基板の対向電極間に、通常映像表示期間に液晶層に印加するよりも高い電界強度を与える期間を有していることを特徴とする液晶装置。

10 47. 請求項46の液晶装置であって、

上記第1の基板のゲート線は、

上記液晶層との間に他の金属膜や半導体層が無い部分では、その絶縁膜厚みが薄く形成された強電界印加型ゲート線であることを特徴とする液晶装置。

15 48. 請求項46の液晶装置であって、

上記第1の基板のゲート線と上記液晶層との間の絶縁膜は、

比誘電率が高い材料を用いた高比誘電率材料製絶縁膜であることを特徴とする液晶装置。

49. 請求項46の液晶装置であって、

20 上記第1の基板のゲート線は、

上記液晶層との間に他の金属膜や半導体層が無い部分では、形成する金属の厚みを厚くした所定部厚膜型ゲート線であることを特徴とする液晶装置。

50. 請求項46の液晶装置であって、

25 上記第1の基板のゲート線は、

上記液晶層との間に他の金属膜や半導体層が無い部分では、ソー

ス線形成金属がゲート線形成金属に電氣的に接触して積層されている一部接触型ゲート線であることを特徴とする液晶装置。

5 1 . 請求項 4 6 の液晶装置であって、

上記第 1 の基板のゲート線は、

5 上記液晶層との間に他の金属膜や半導体層が無い部分では、ソース線形成金属がゲート線形成金属に電氣的に接触せずに積層された非接触型ゲート線であることを特徴とする液晶装置。

5 2 . 請求項 4 6 の液晶装置であって、

上記第 2 の基板上の対向電極は、

10 上記第 1 の基板のゲート線に対峙する部分とそれ以外の部分に分けた分割型対向電極であることを特徴とする液晶装置。

5 3 . 請求項 4 6 の液晶装置であって、

上記第 2 の基板上に在る対向電極は、

15 その厚みが上記第 1 の基板のゲート線に対峙する部分は、対峙しない部分に比較して厚く形成された、対峙部厚膜対向電極であることを特徴とする液晶装置。

5 4 . 請求項 4 6 の液晶装置であって、

上記第 2 の基板上に、

20 上記第 1 の基板のゲート線に対峙する部分に樹脂で積層して形成されたカラーフィルターを有していることを特徴とする液晶装置。

5 5 . 前記ゲート線に対峙する部分に樹脂で積層して形成されたカラーフィルターは、

複数の色彩の異なるカラーフィルターの周辺部を積層して形成されたカラーフィルターであることを特徴とする請求項 5 4 に記載の  
25 液晶装置。

5 6 . 請求項 4 6 の液晶装置であって、

上記第 2 の基板上に、

上記第 1 の基板のゲート線に対峙する部分に形成され、上記液晶層を挟んでゲート線に対向する柱状スペーサを有していることを特徴とする液晶装置。

5            57.      前記柱状スペーサは、

            少なくとも液晶層側は導電性の柱状スペーサであり、

            液晶装置の立上げ時、該柱状スペーサにゲート線に対向する電位を付与する柱状スペーサ電位付与手段を有していることを特徴とする請求項 56 に記載の液晶装置。

10



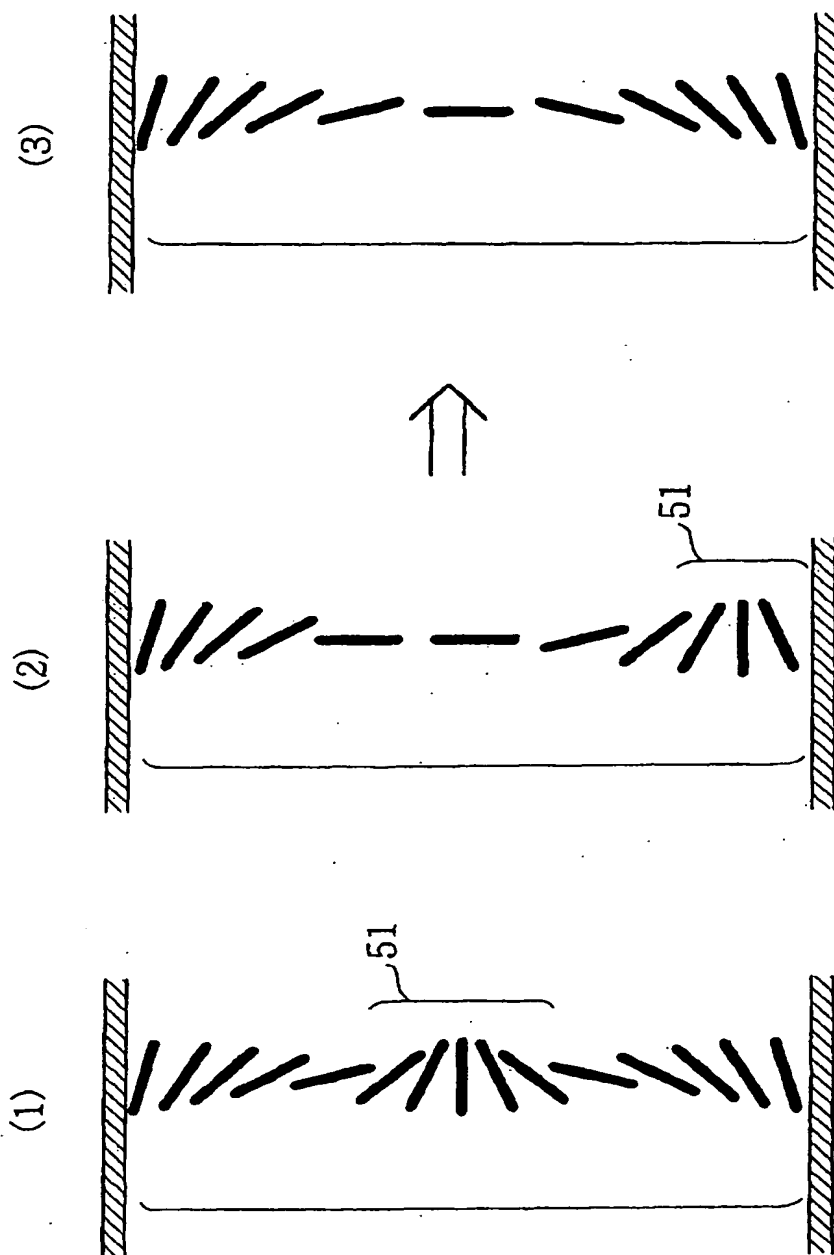
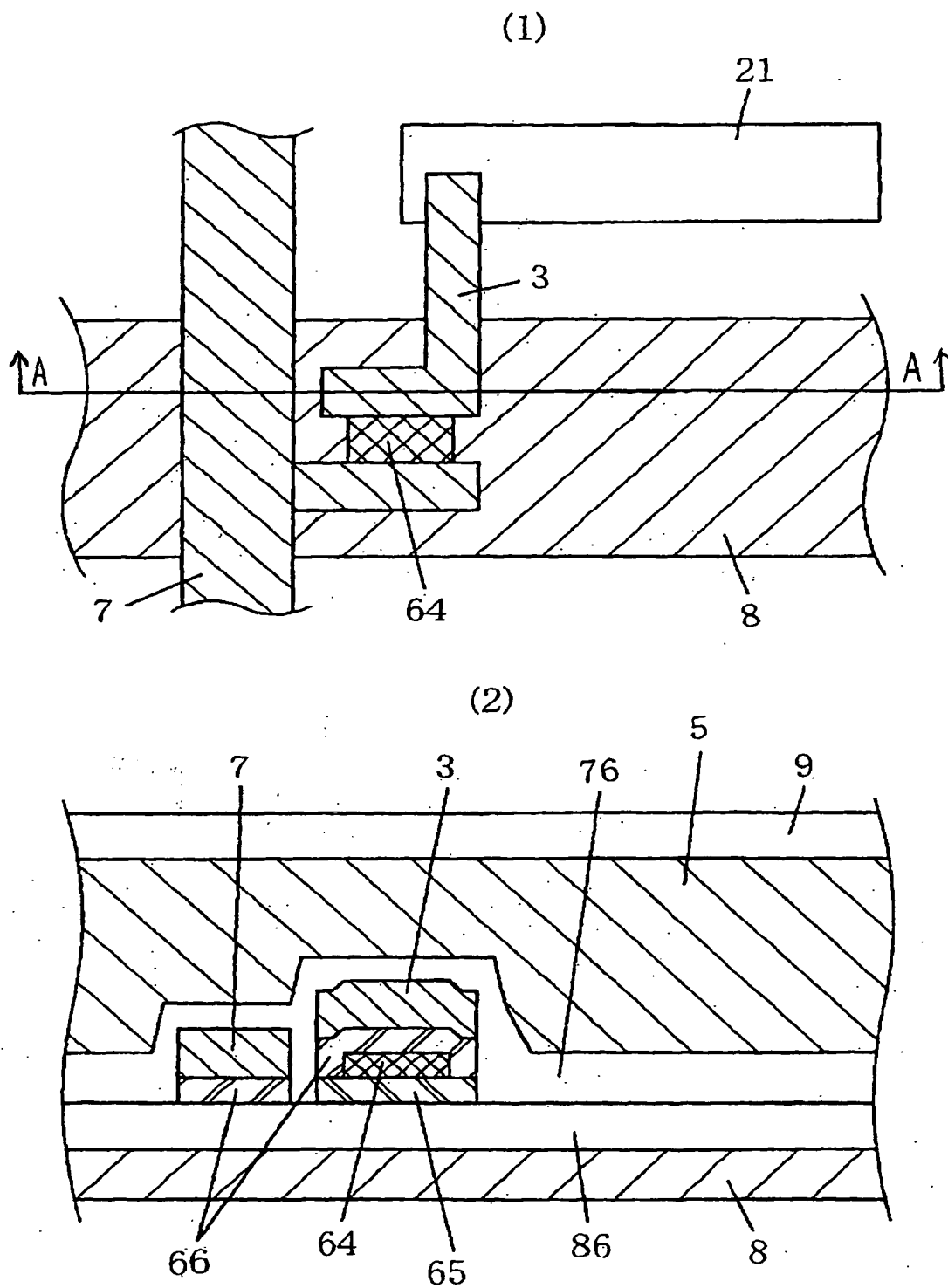


Fig. 1

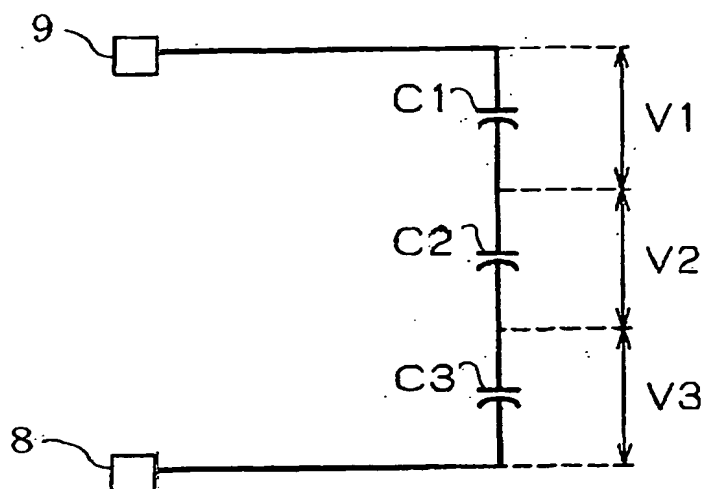
**THIS PAGE BLANK (USPTO)**

Fig. 2



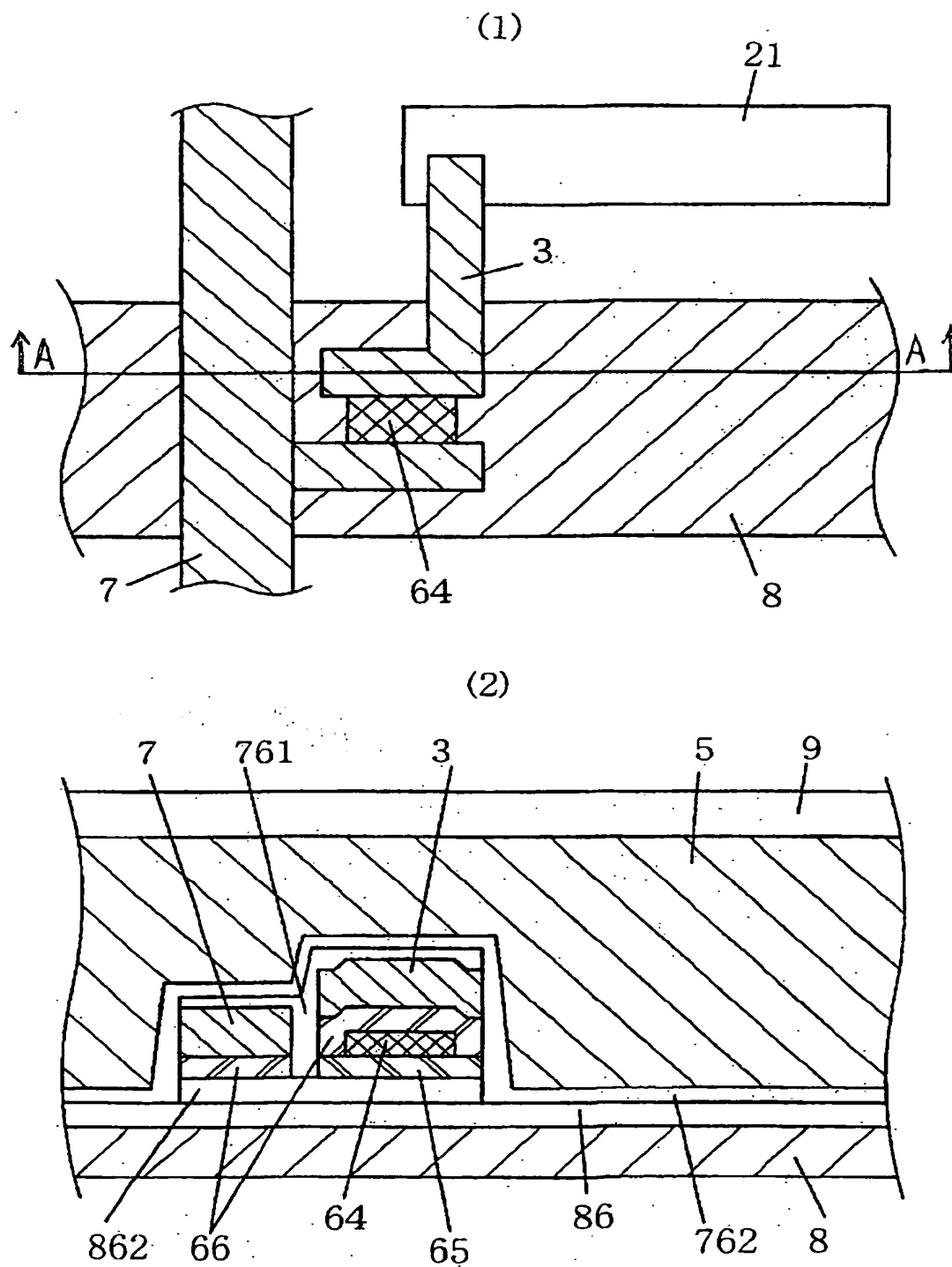
**THIS PAGE BLANK (USPTO)**

Fig. 3



**THIS PAGE BLANK (USPTO)**

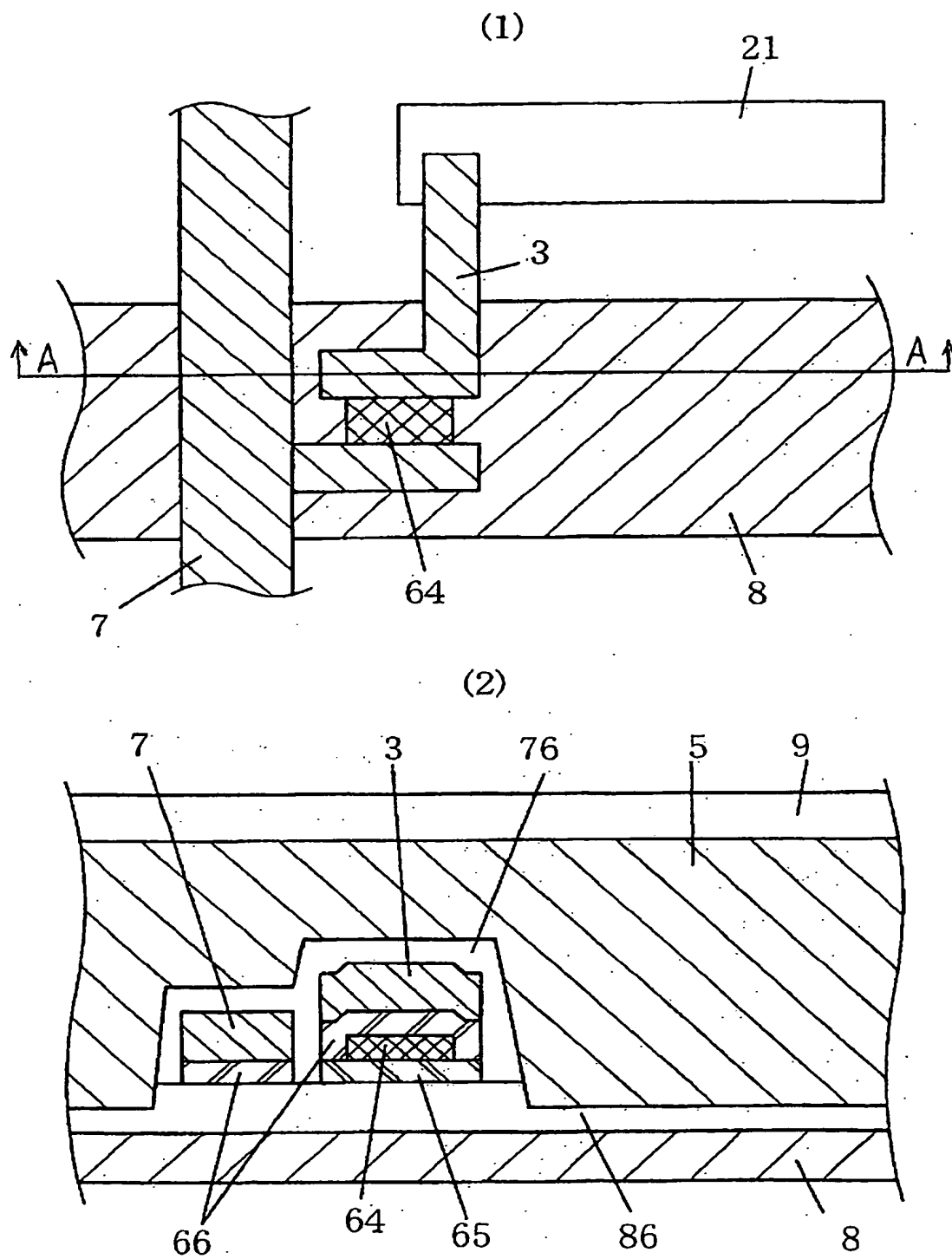
Fig. 4



**THIS PAGE BLANK (USPTO)**

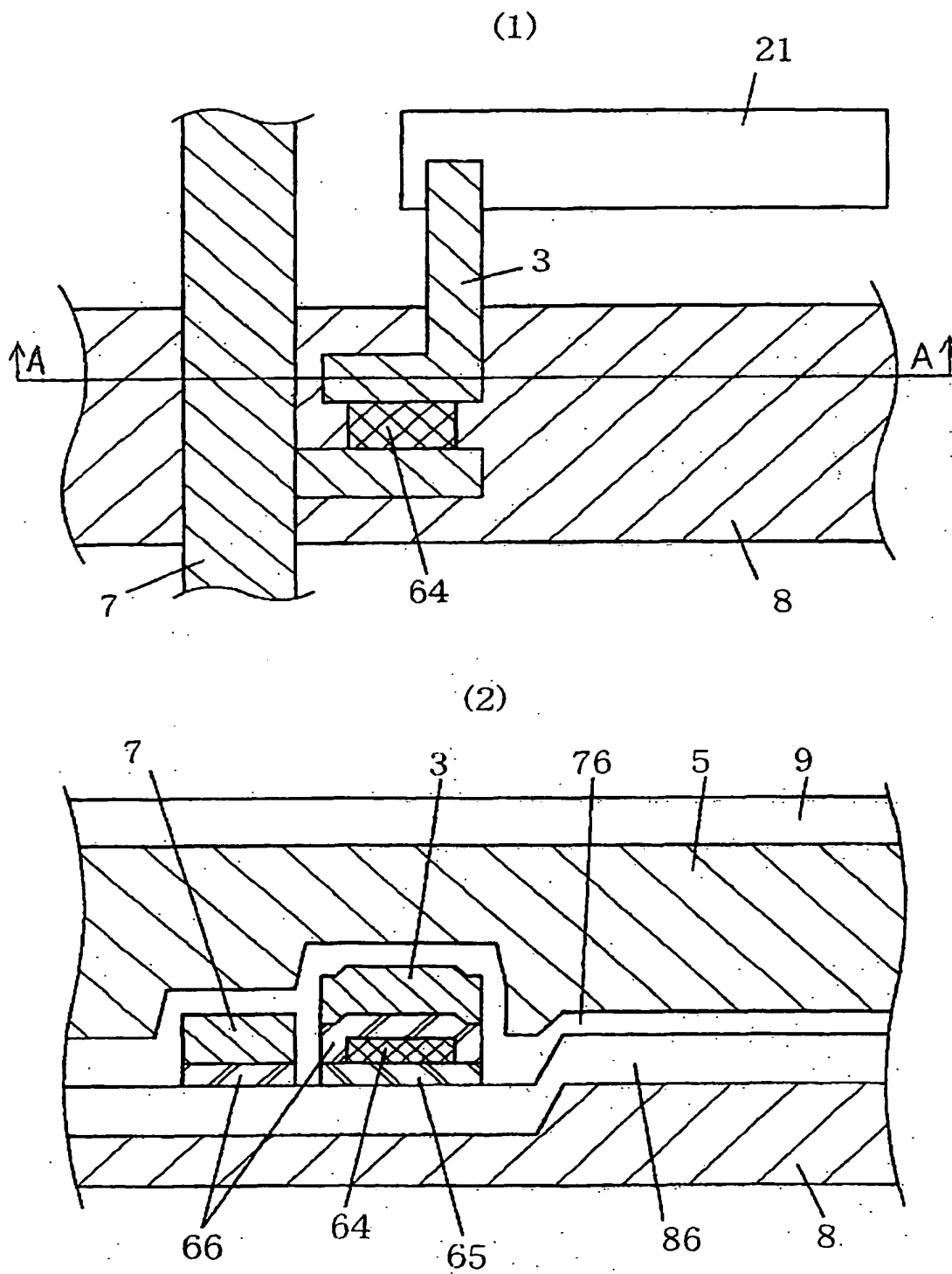


Fig. 5



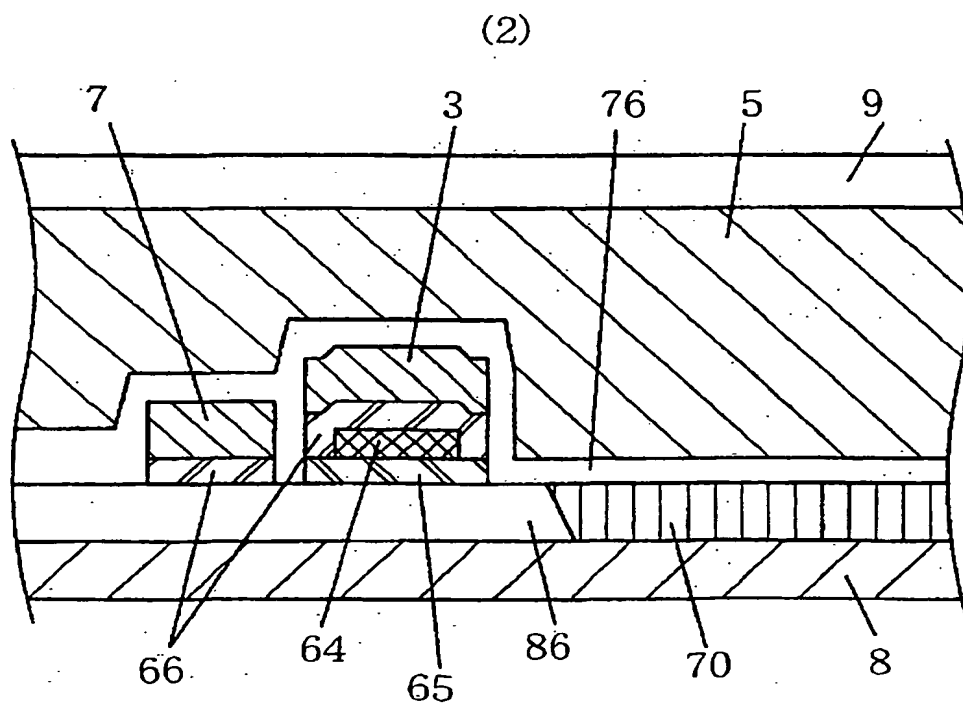
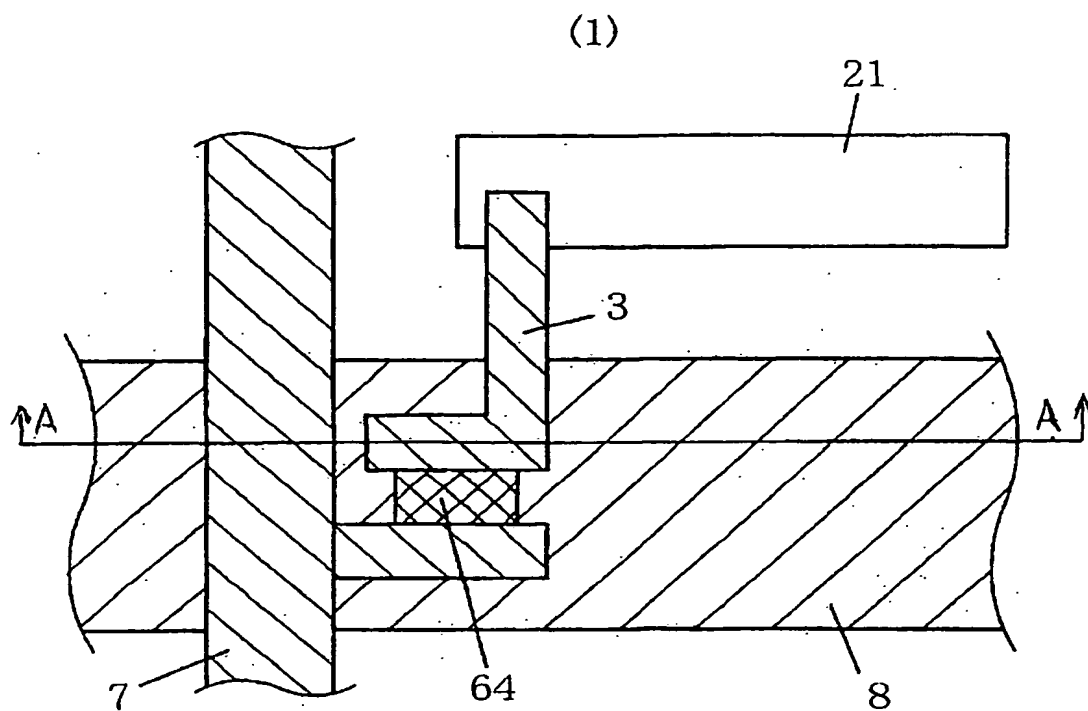
**THIS PAGE BLANK (USPTO)**

Fig. 6



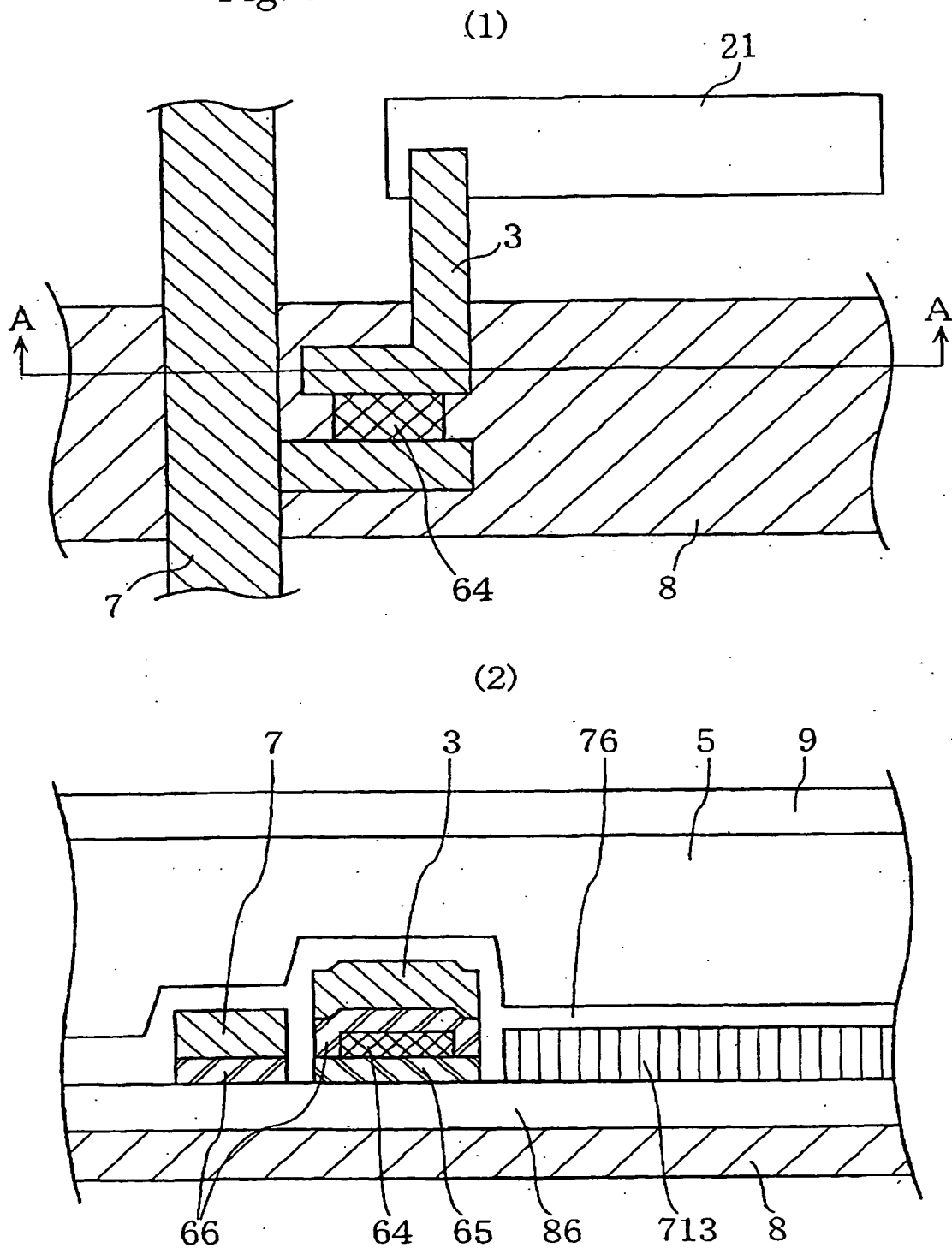
**THIS PAGE BLANK (USPTO)**

Fig. 7



**THIS PAGE BLANK (USPTO)**

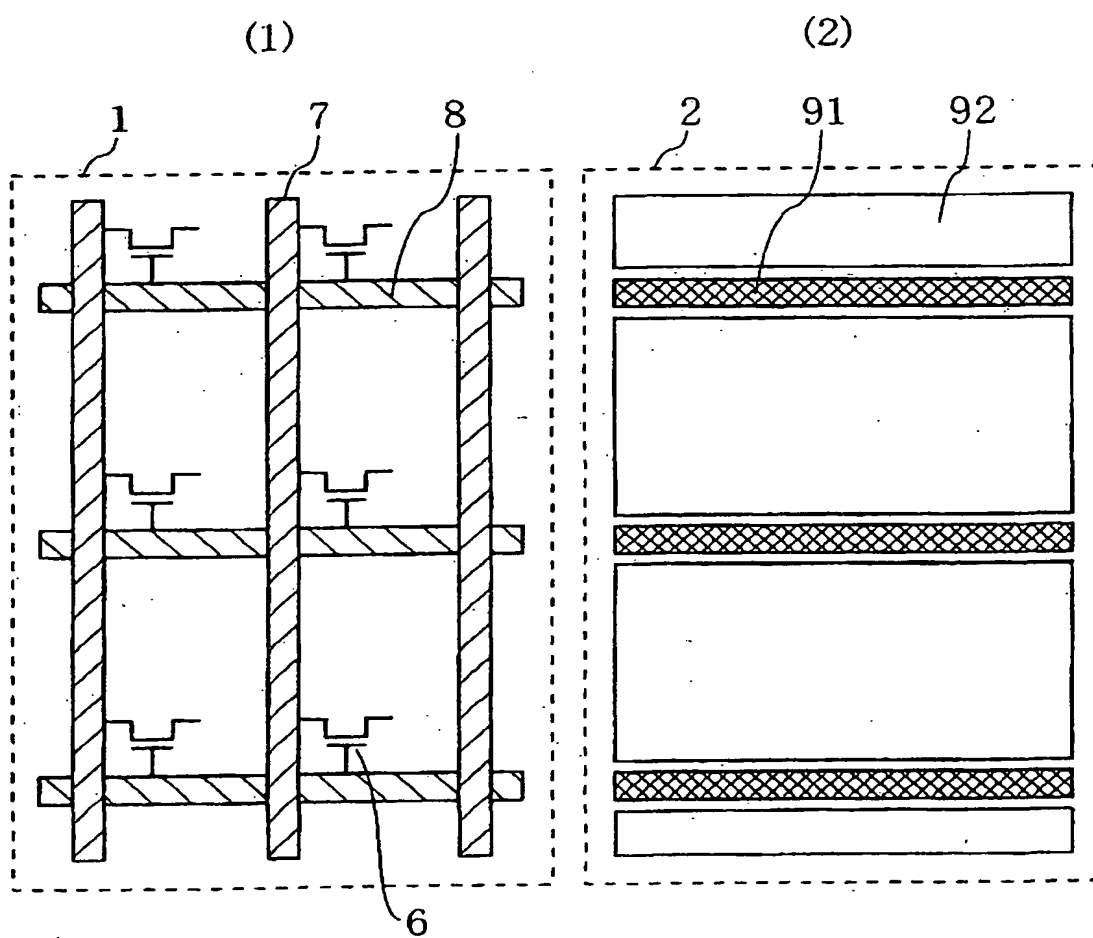
Fig. 8



**THIS PAGE BLANK (USPTO)**

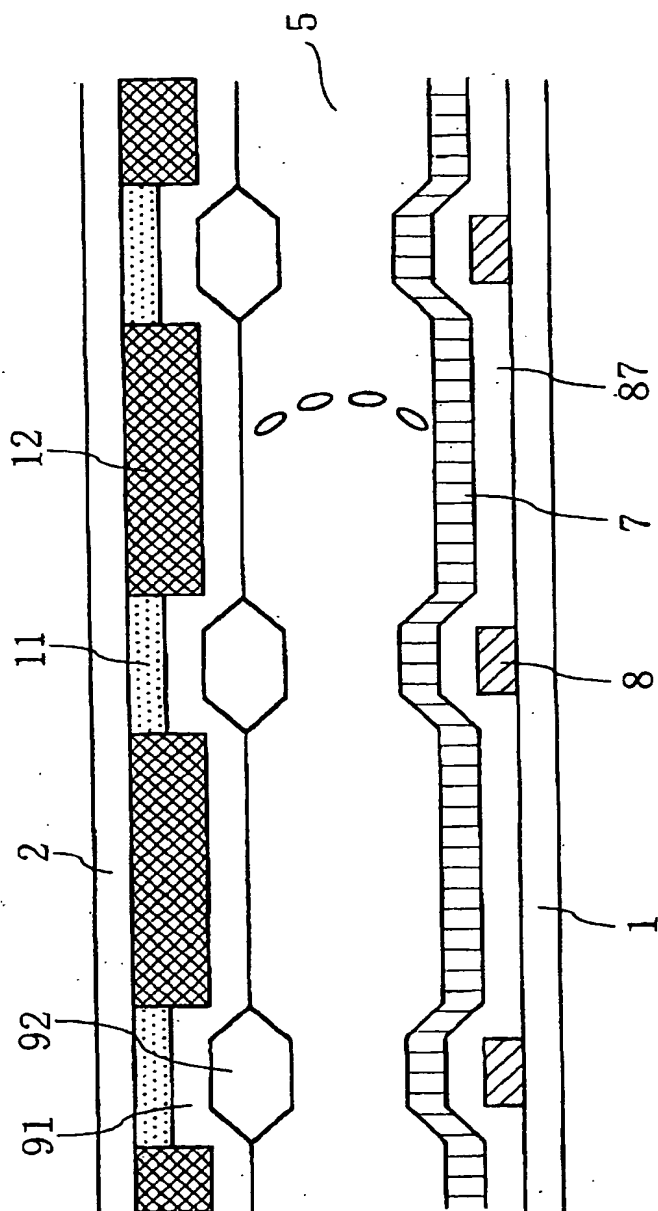


Fig. 9



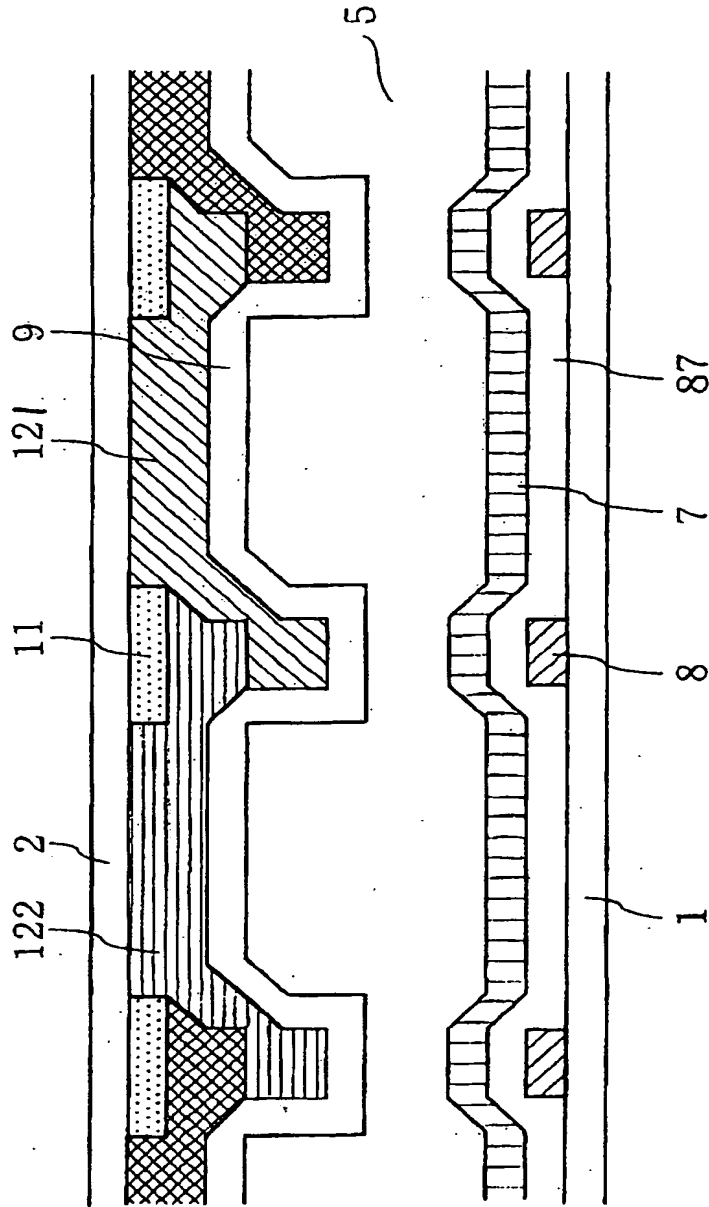
**THIS PAGE BLANK (USPTO)**

Fig. 10



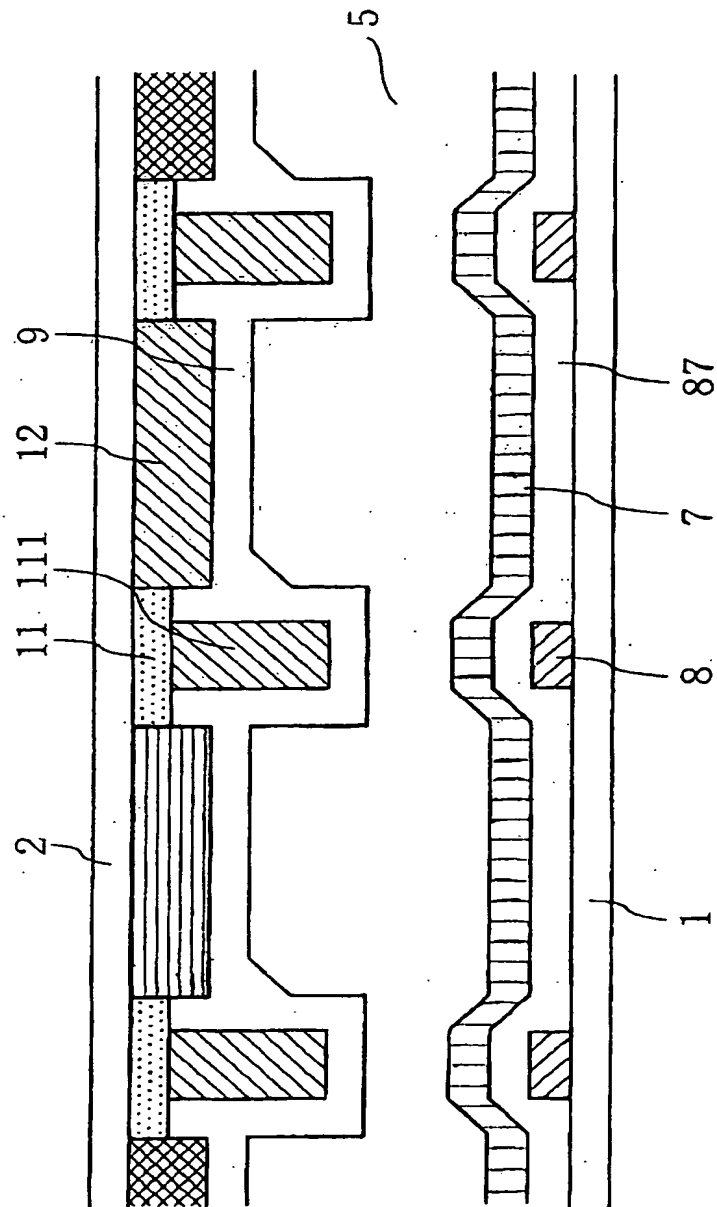
**THIS PAGE BLANK (USPTO)**

Fig. 11



**THIS PAGE BLANK (USPTO)**

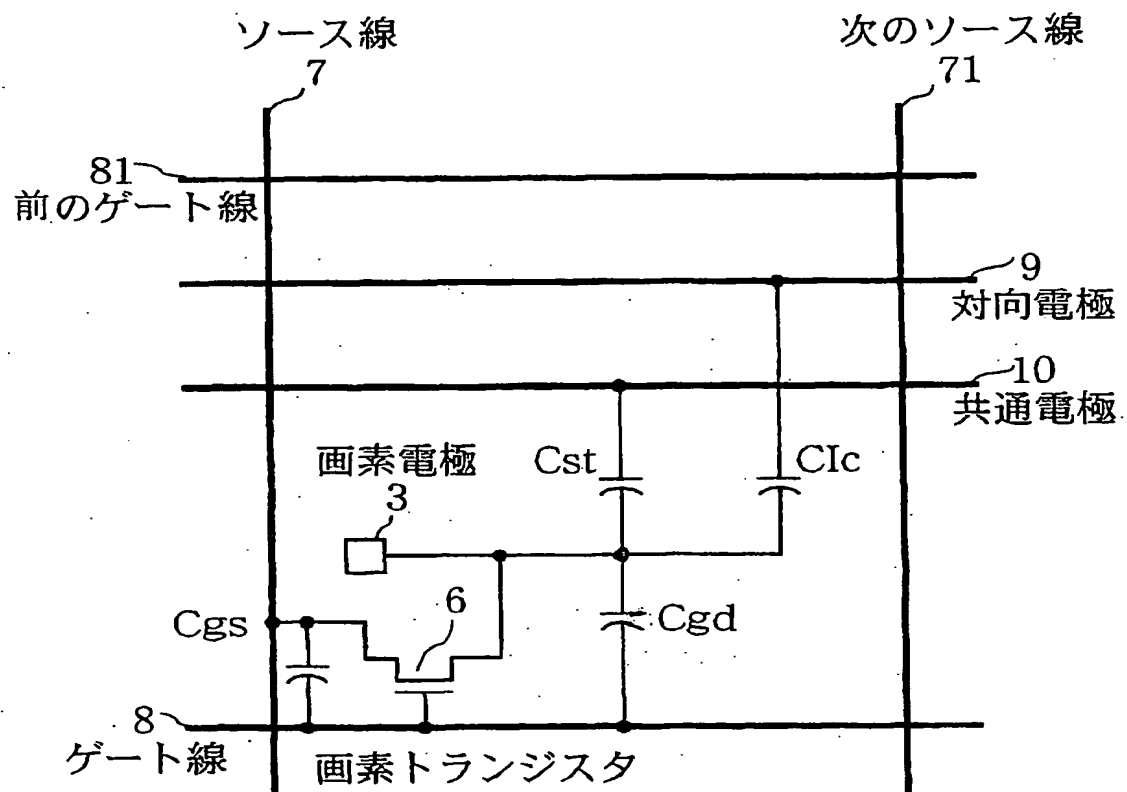
Fig. 12



**THIS PAGE BLANK (USPTO)**

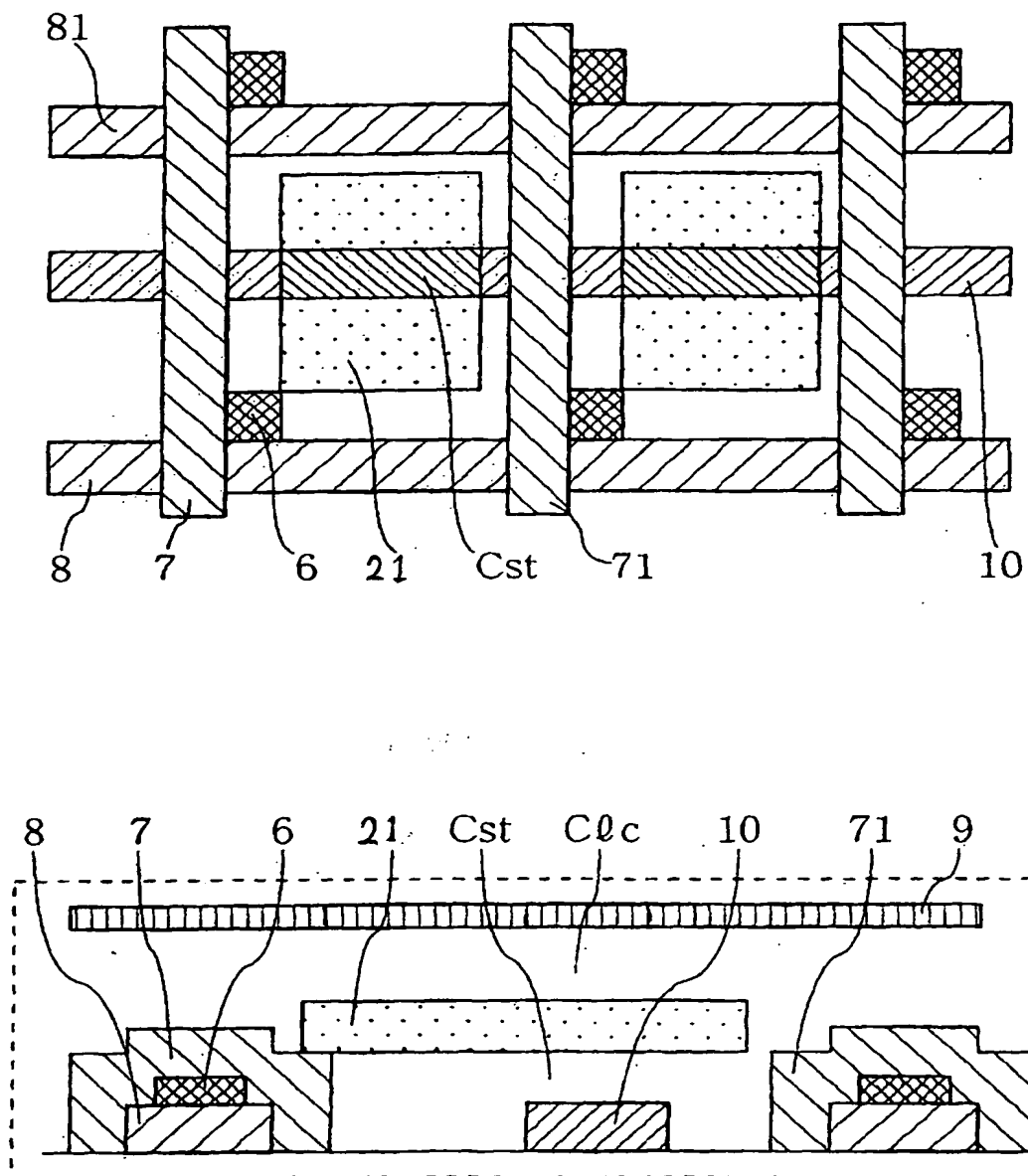


Fig. 13



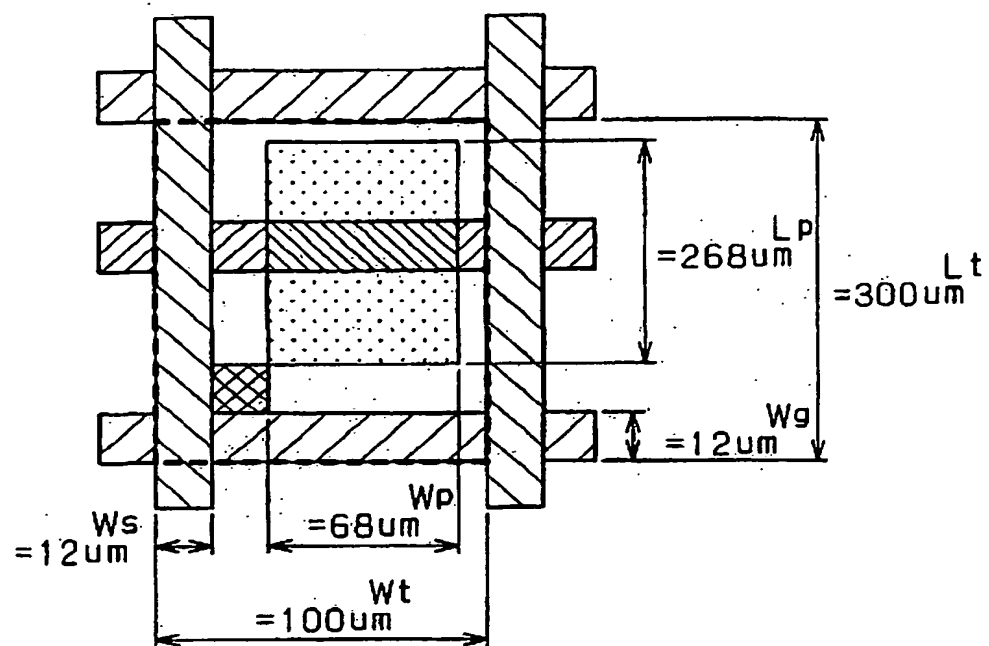
**THIS PAGE BLANK (USPTO)**

Fig. 14



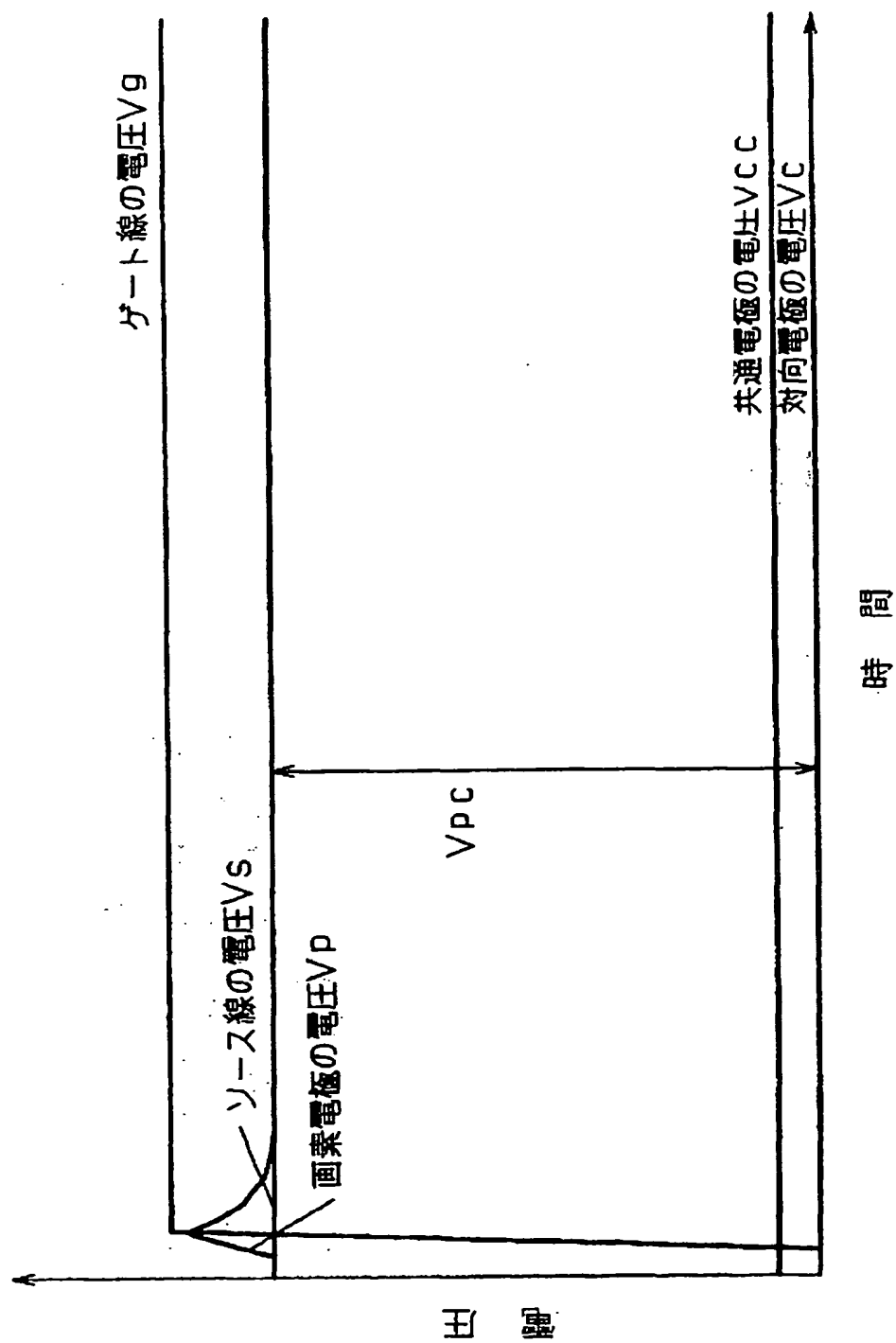
**THIS PAGE BLANK (USPTO)**

Fig. 15



**THIS PAGE BLANK (USPTO)**

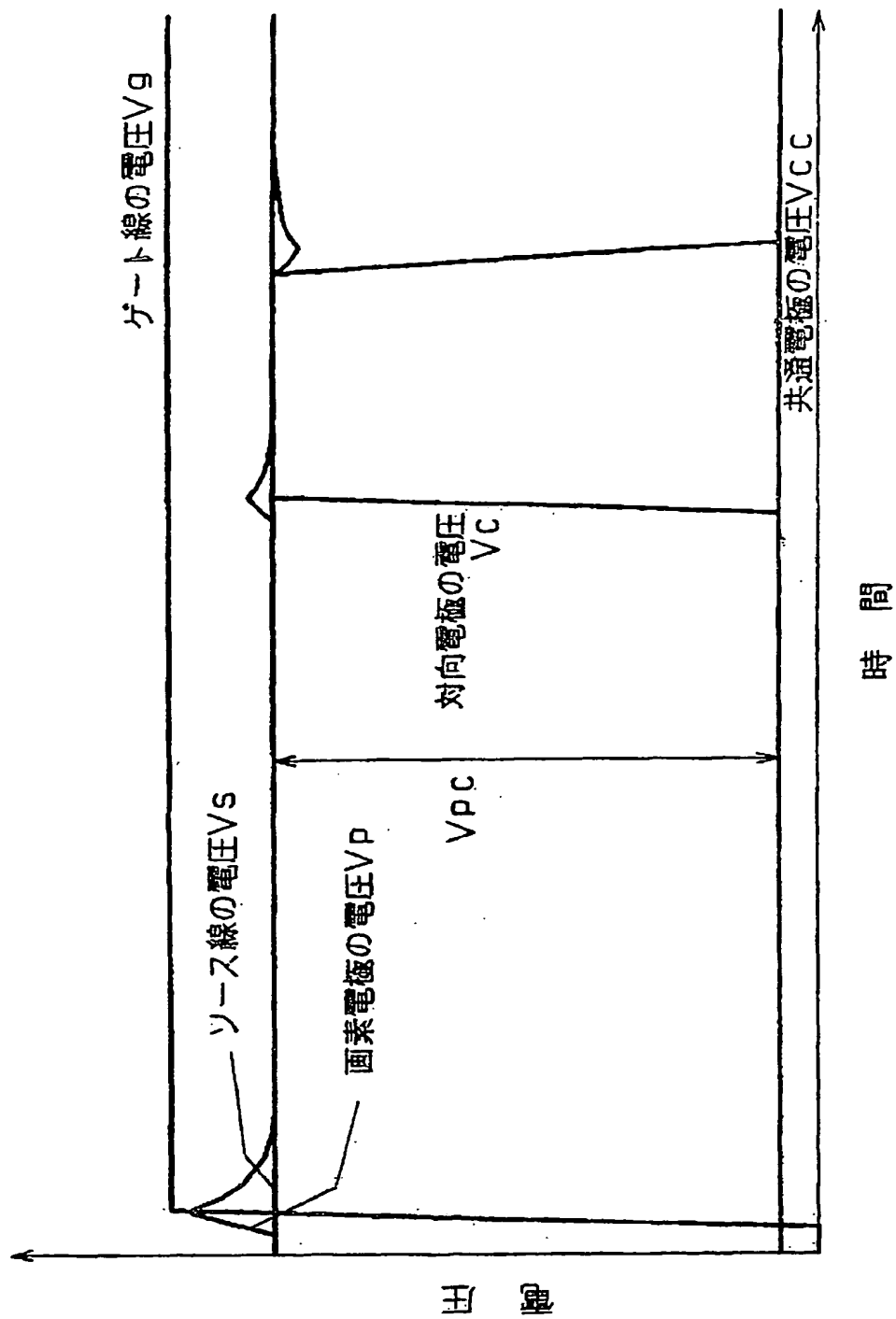
Fig. 16



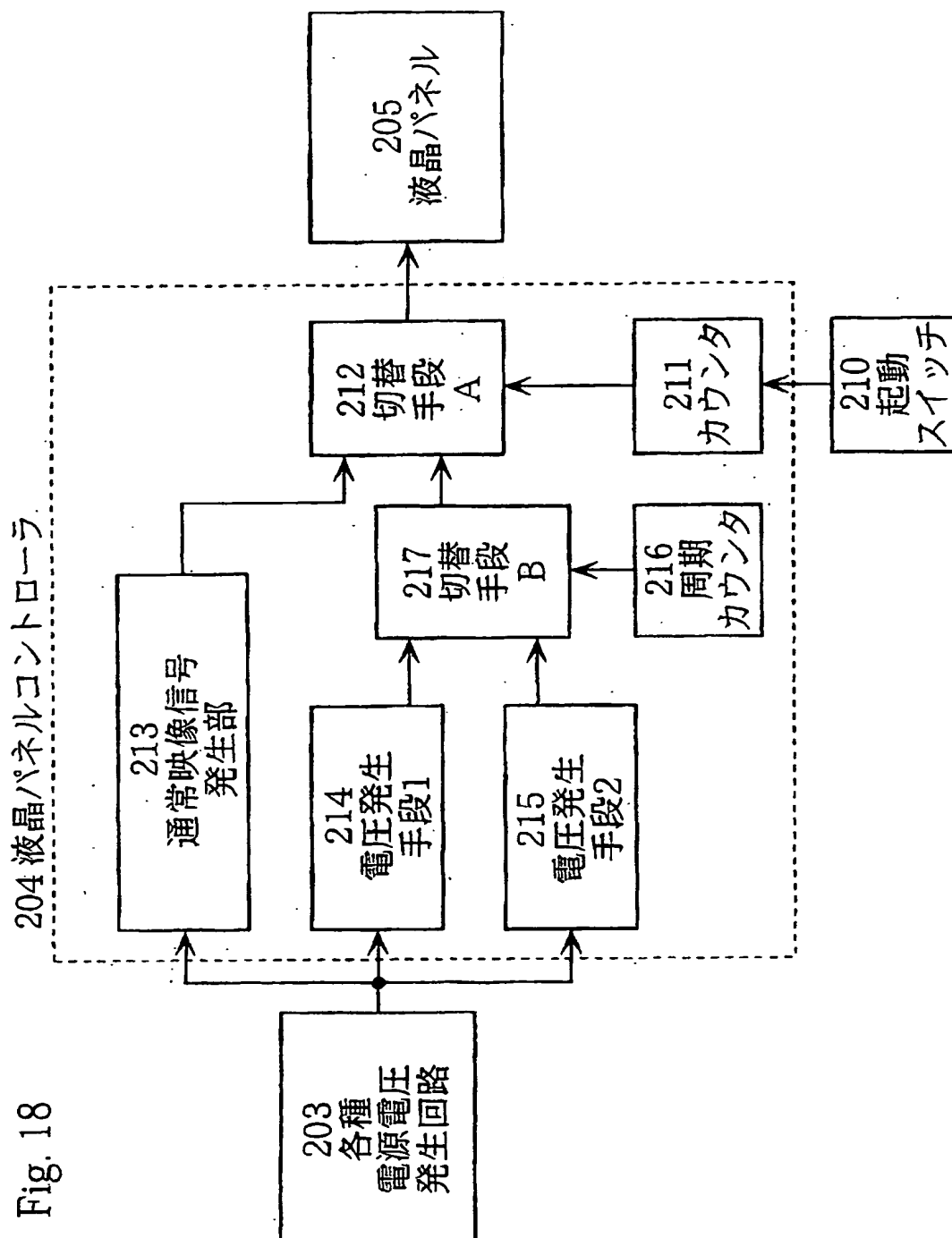
**THIS PAGE BLANK (USPTO)**



Fig.17

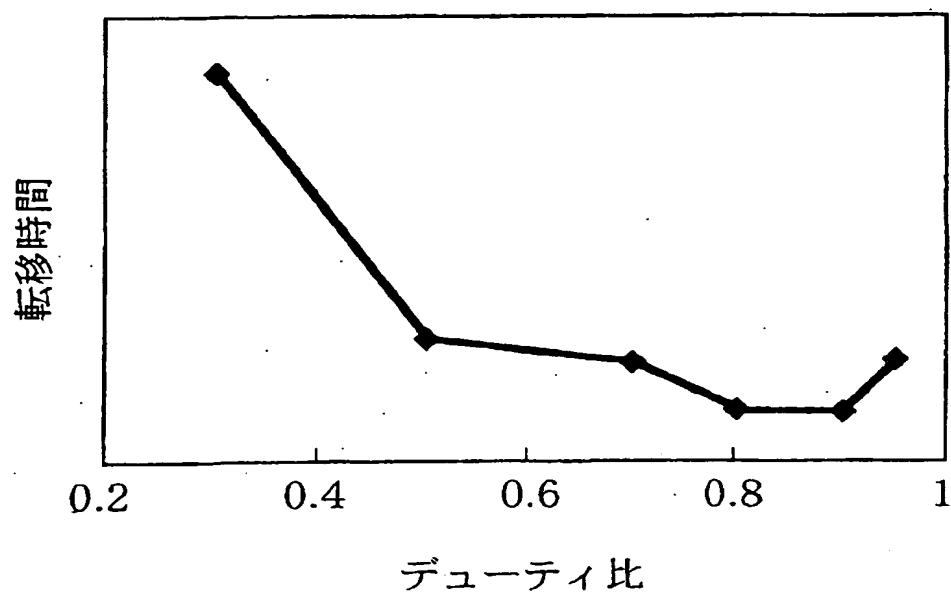


**THIS PAGE BLANK (USPTO)**



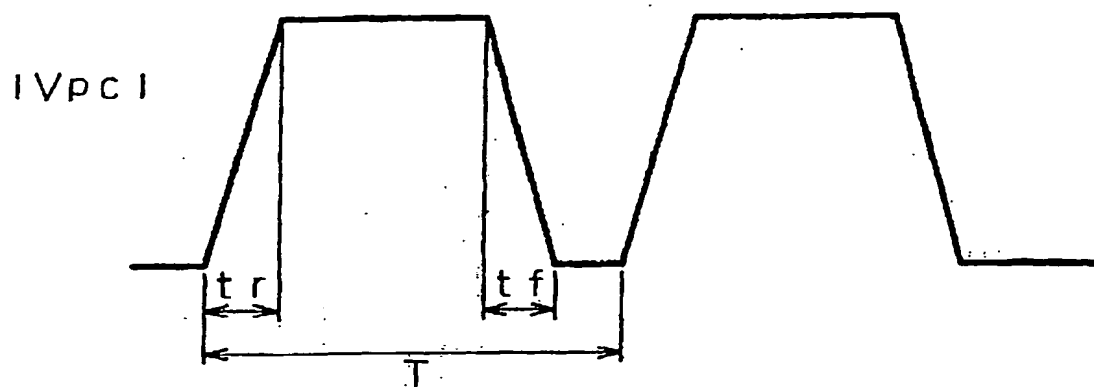
**THIS PAGE BLANK (USPTO)**

Fig. 19



**THIS PAGE BLANK (USPTO)**

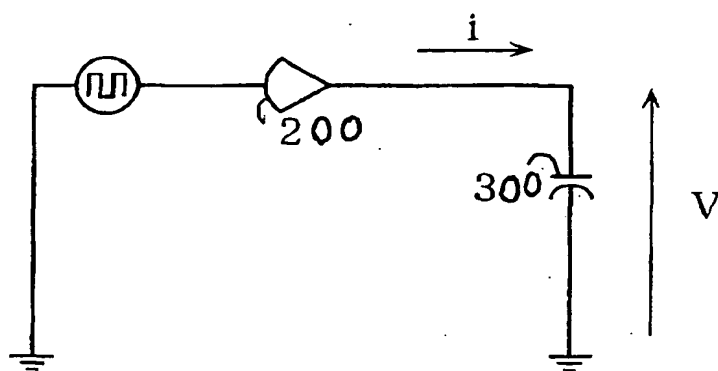
Fig.20



**THIS PAGE BLANK (USPTO)**

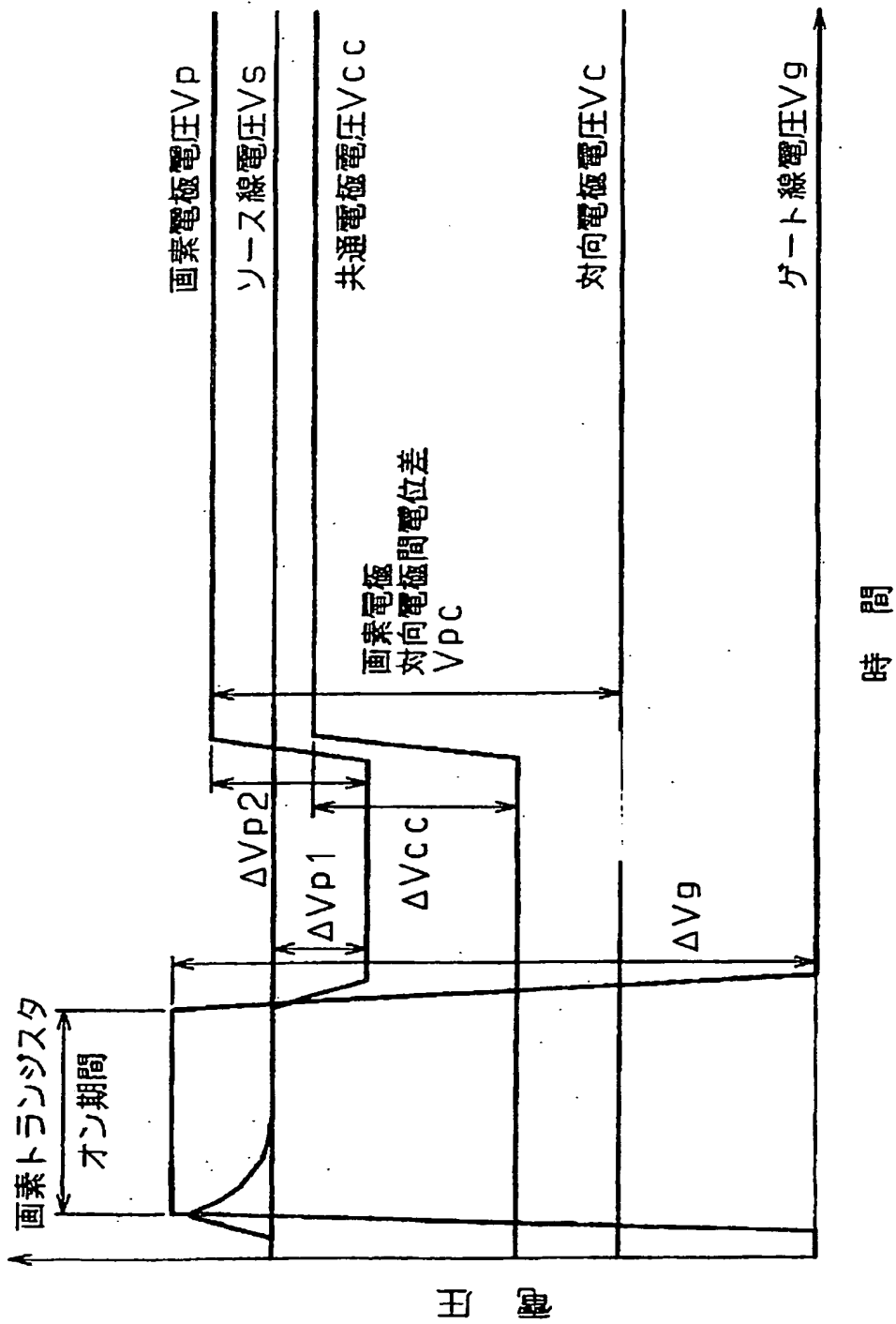


Fig. 21



**THIS PAGE BLANK (USPTO)**

Fig.22



**THIS PAGE BLANK (USPIC)**

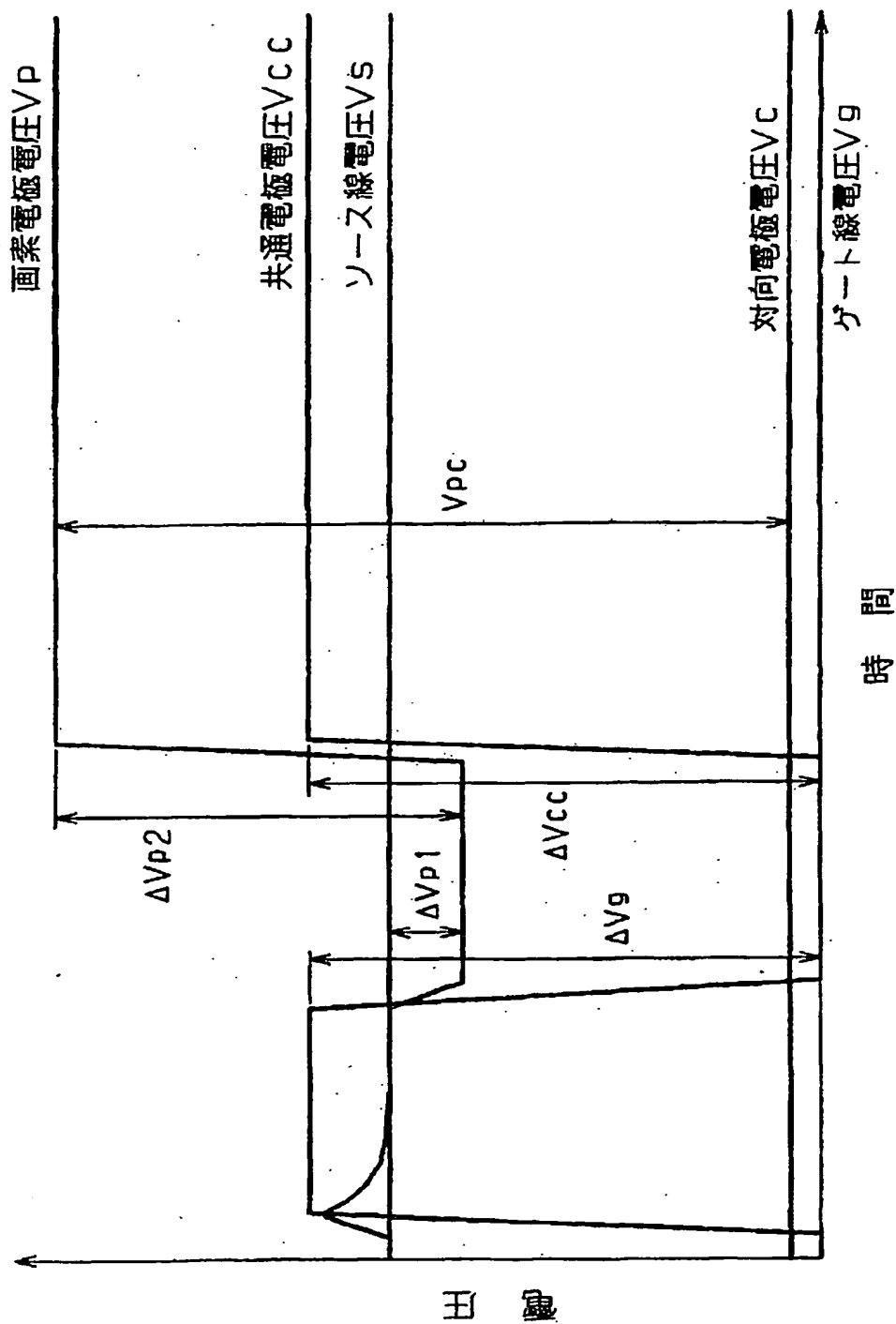
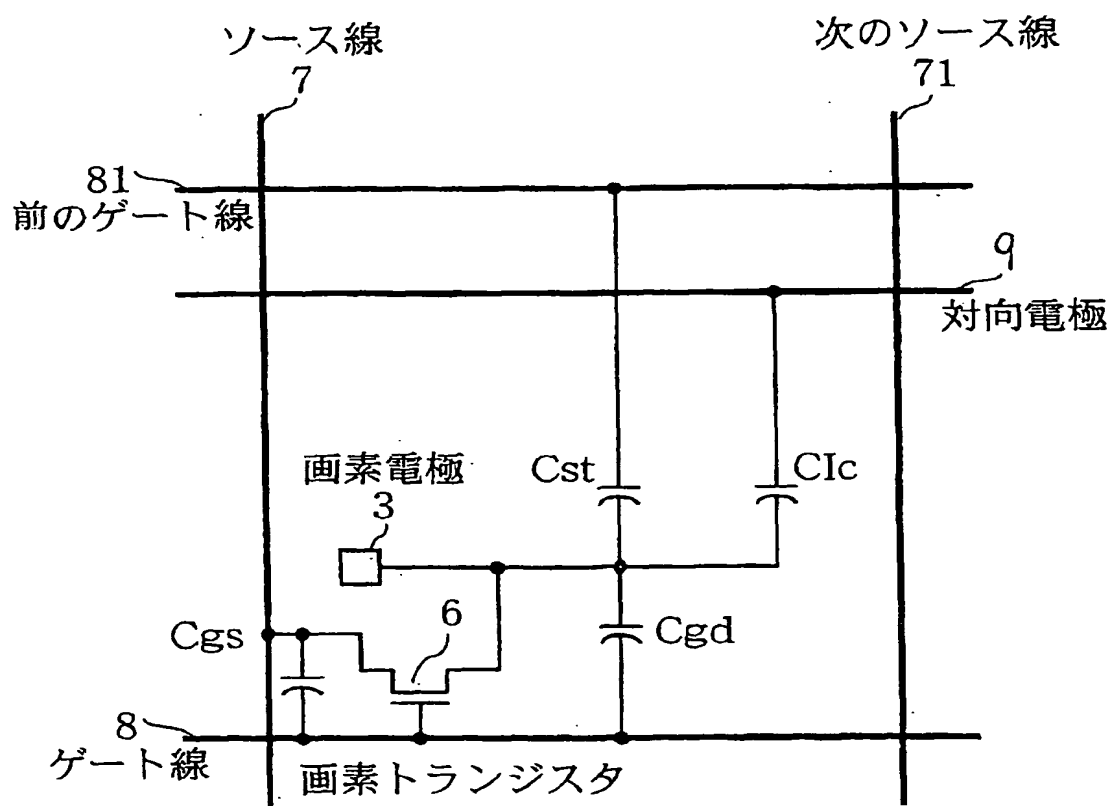


Fig.23

**THIS PAGE BLANK (USPTO)**

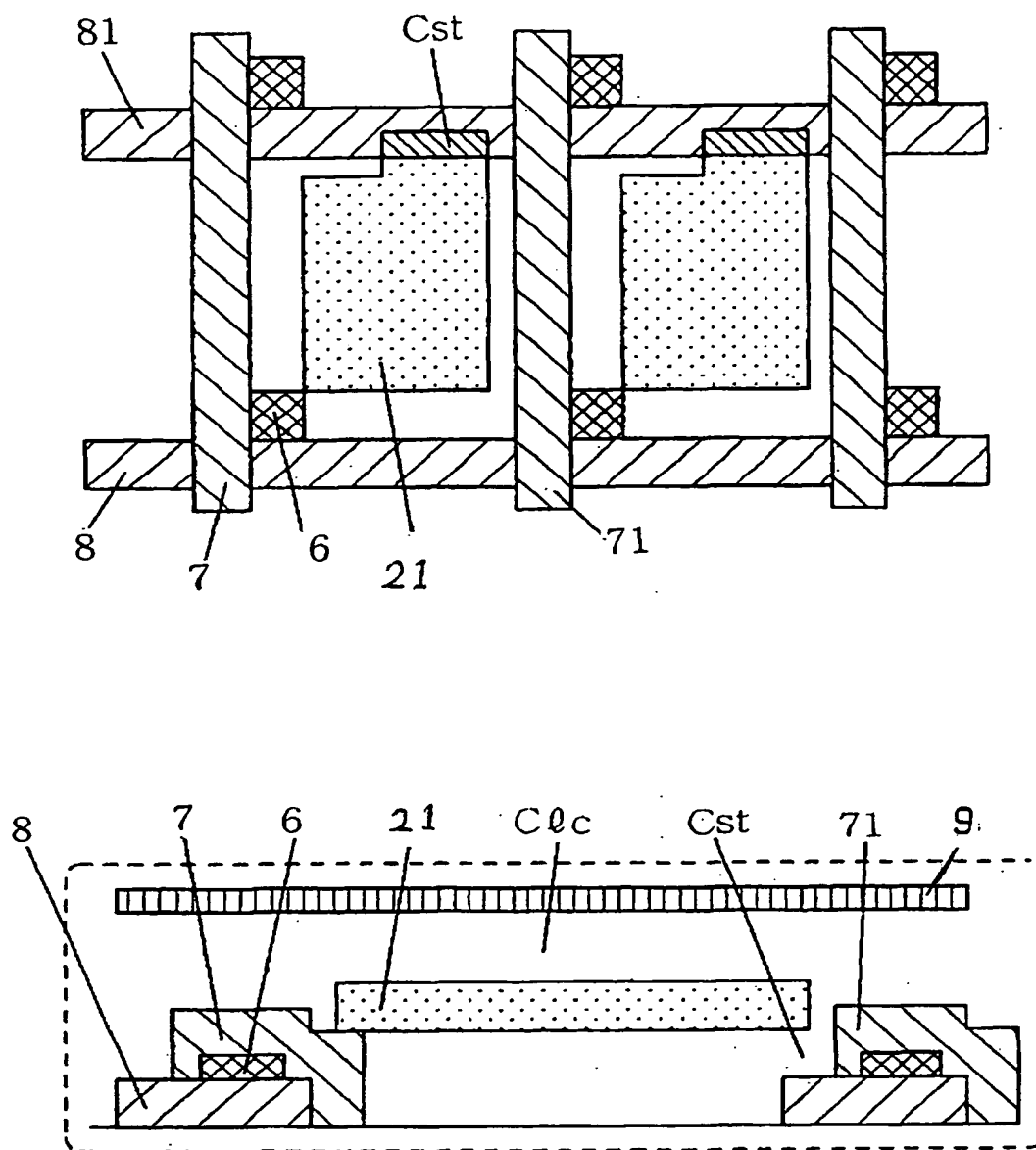
Fig. 24



**THIS PAGE BLANK (USPTO)**

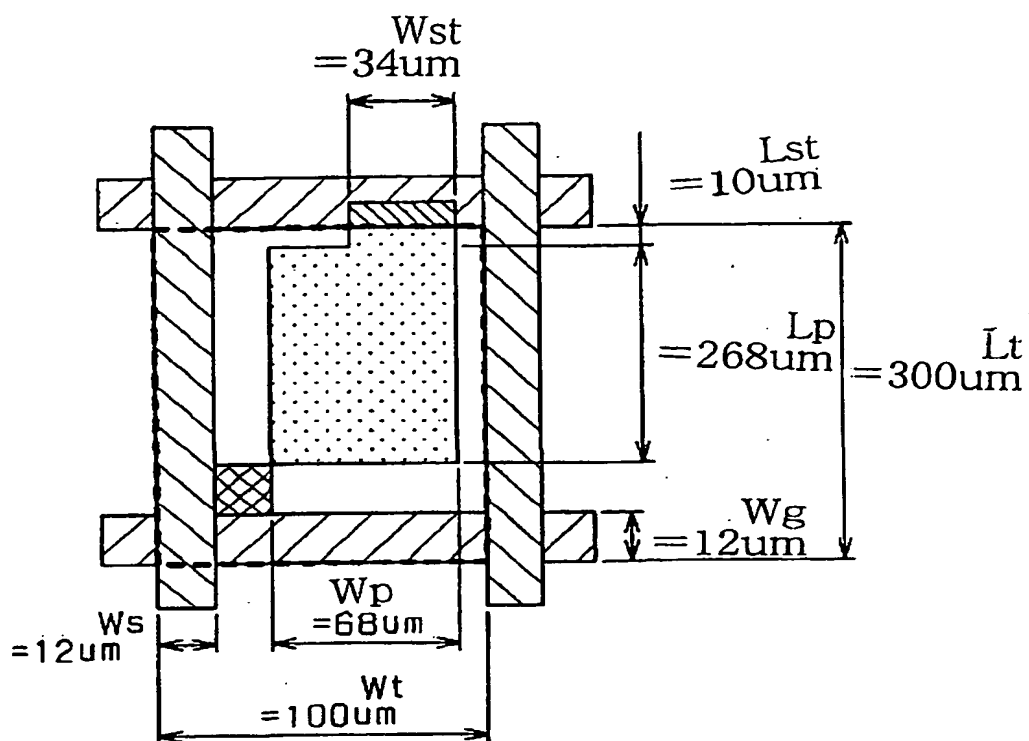


Fig. 25



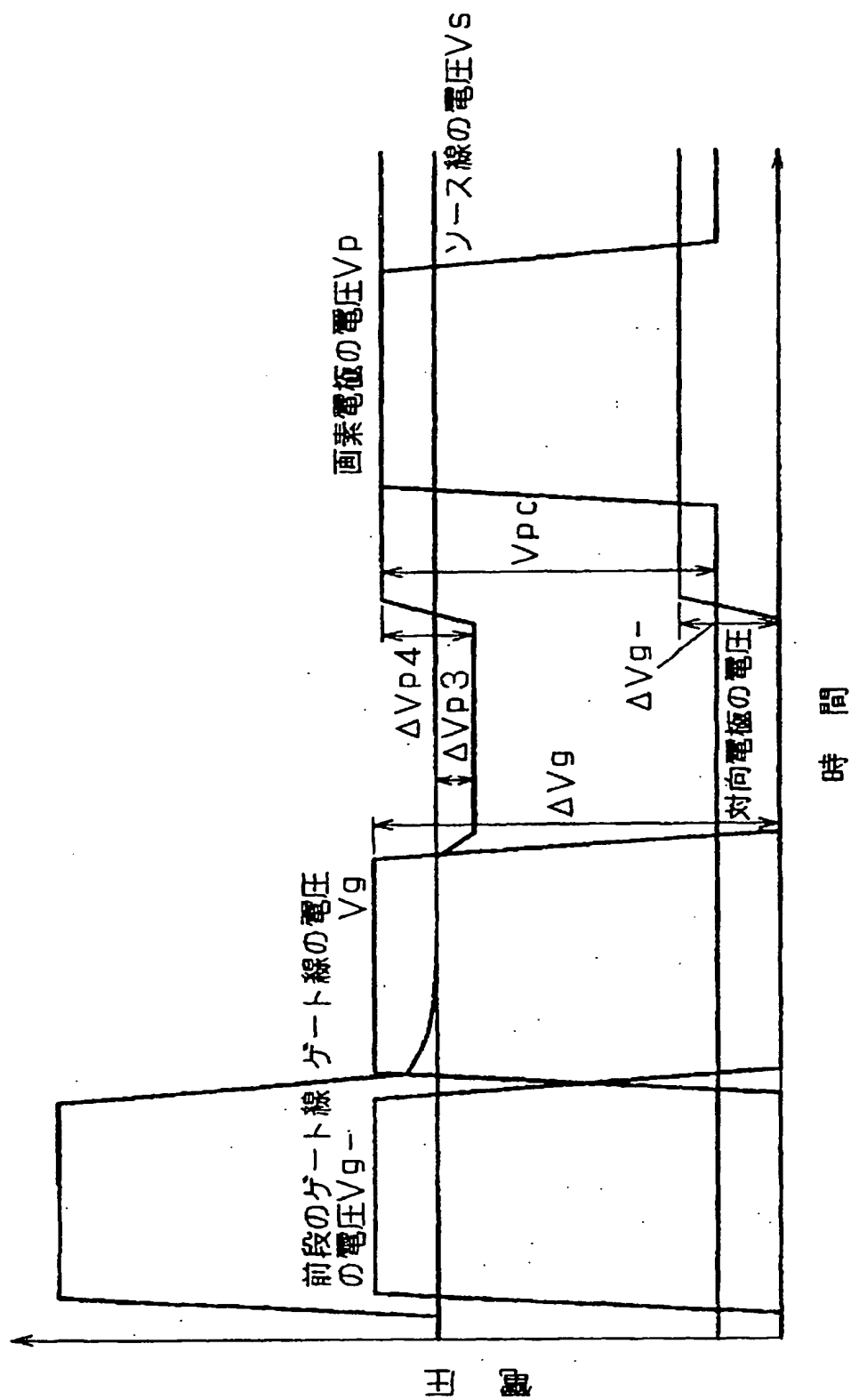
**THIS PAGE BLANK (USPTO)**

Fig. 26



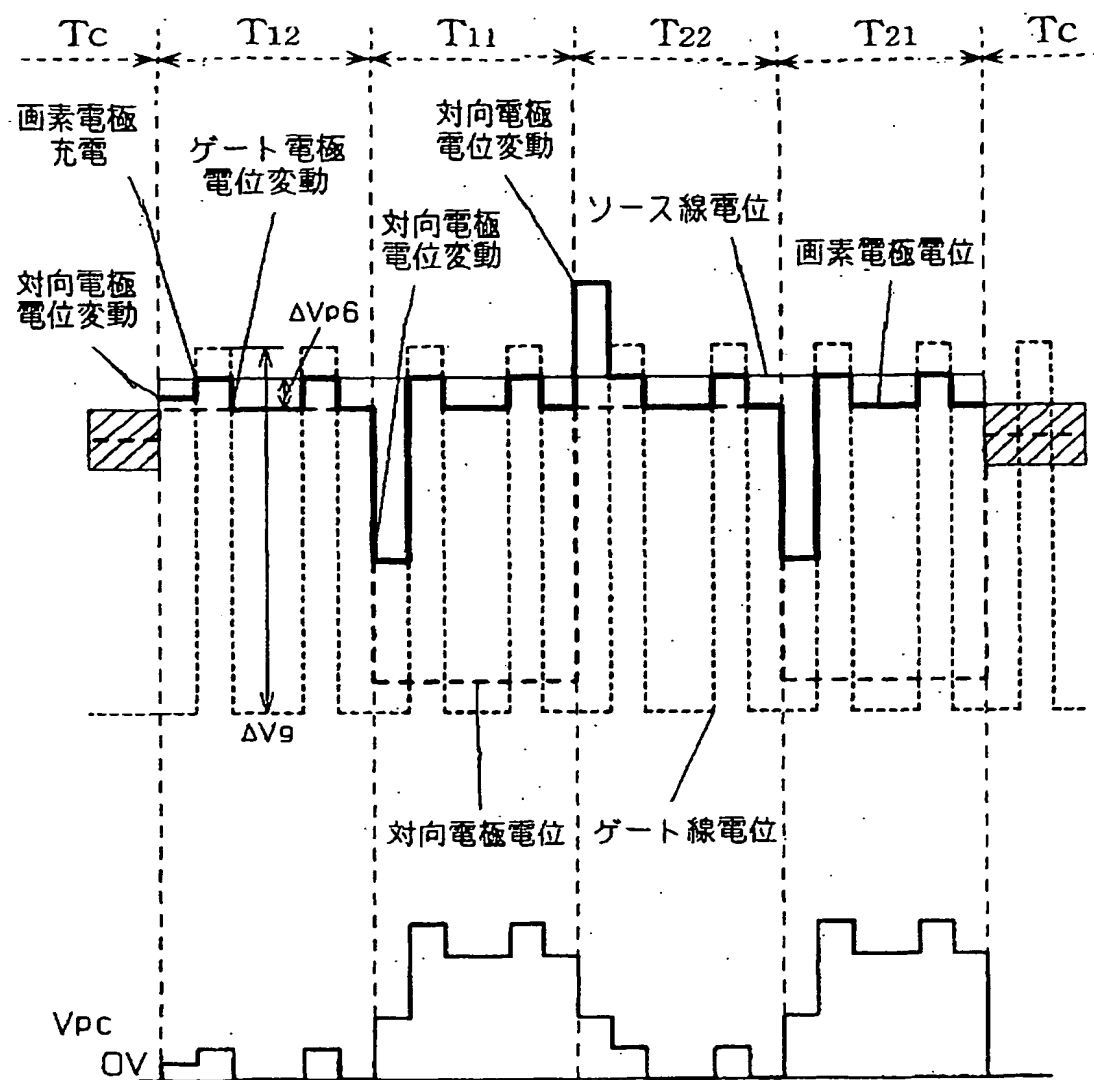
**THIS PAGE BLANK (USPTO)**

Fig.27



**THIS PAGE BLANK (USPTO)**

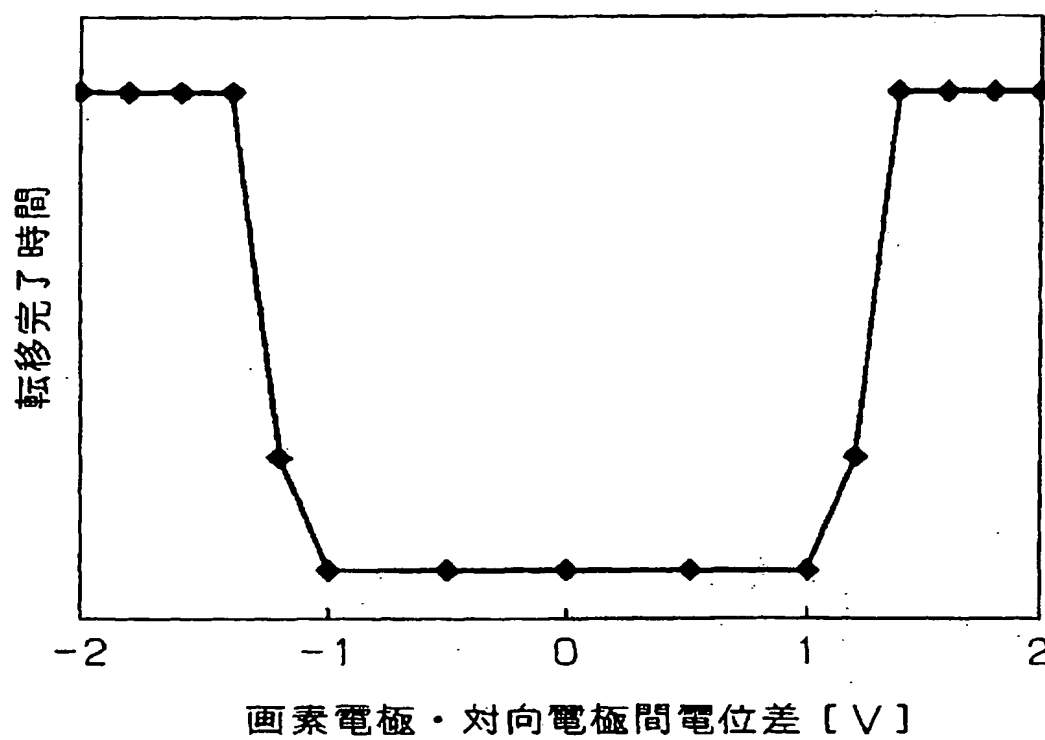
Fig. 28



**THIS PAGE BLANK (USPTO)**

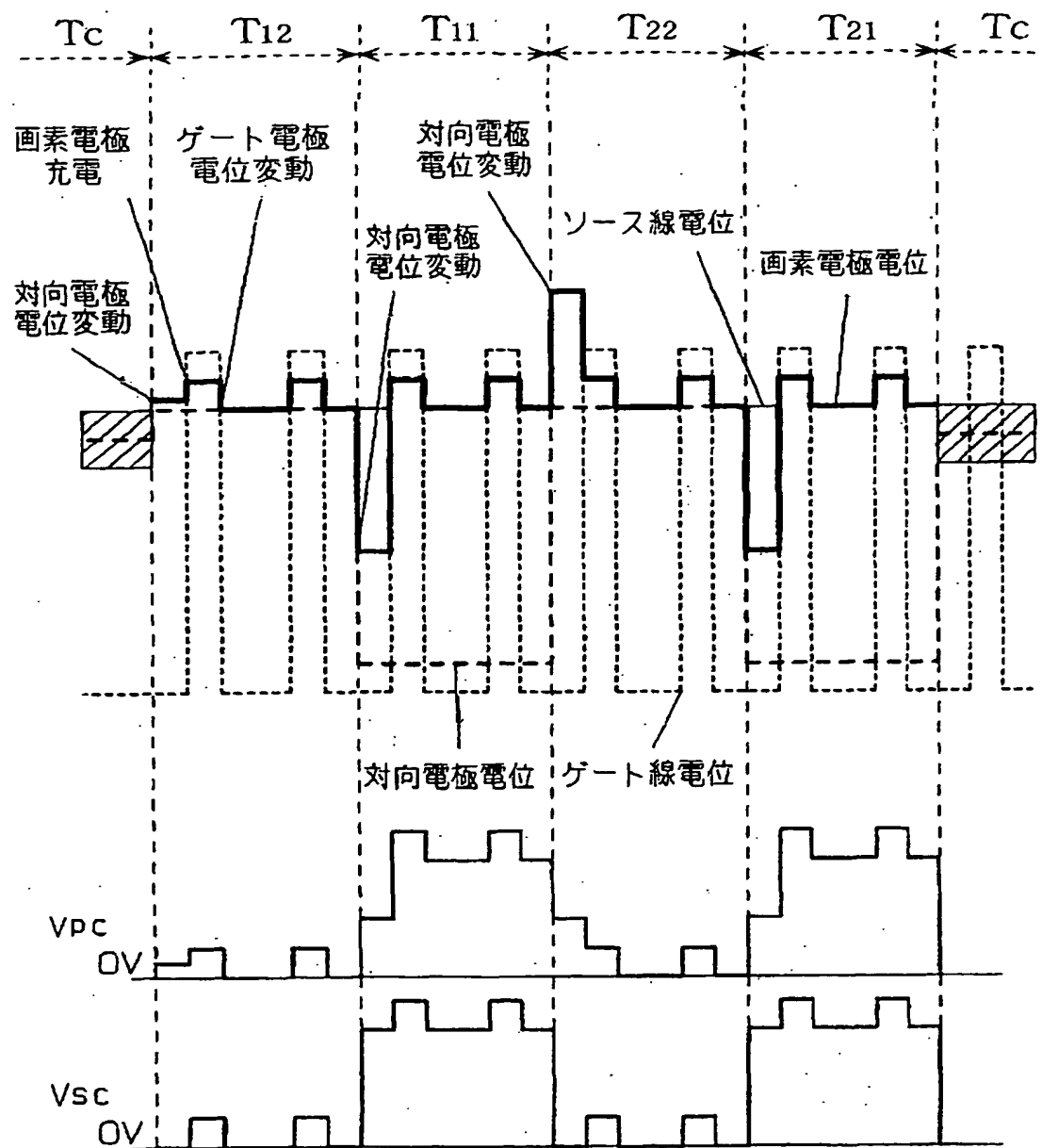


Fig. 29



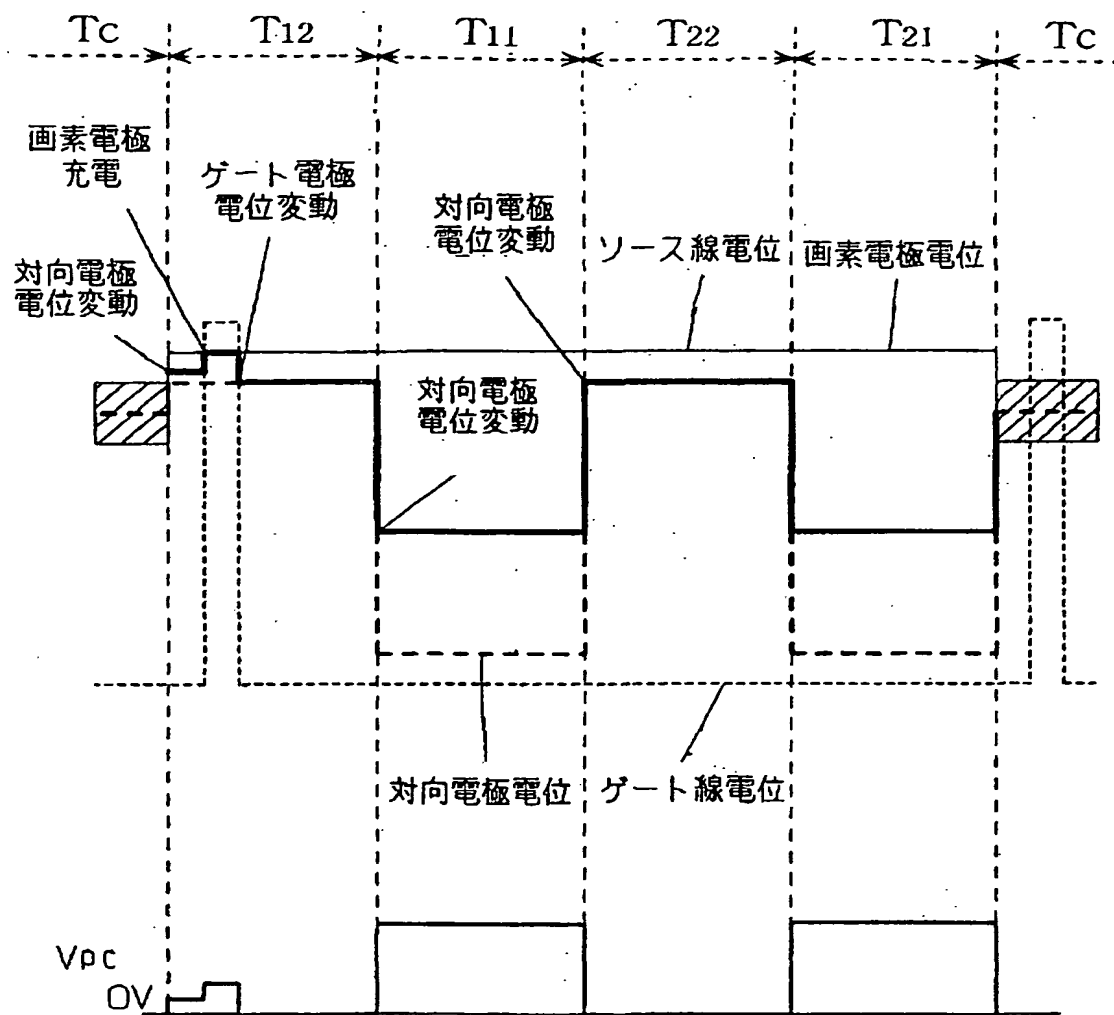
**THIS PAGE BLANK (USPTO)**

Fig.30



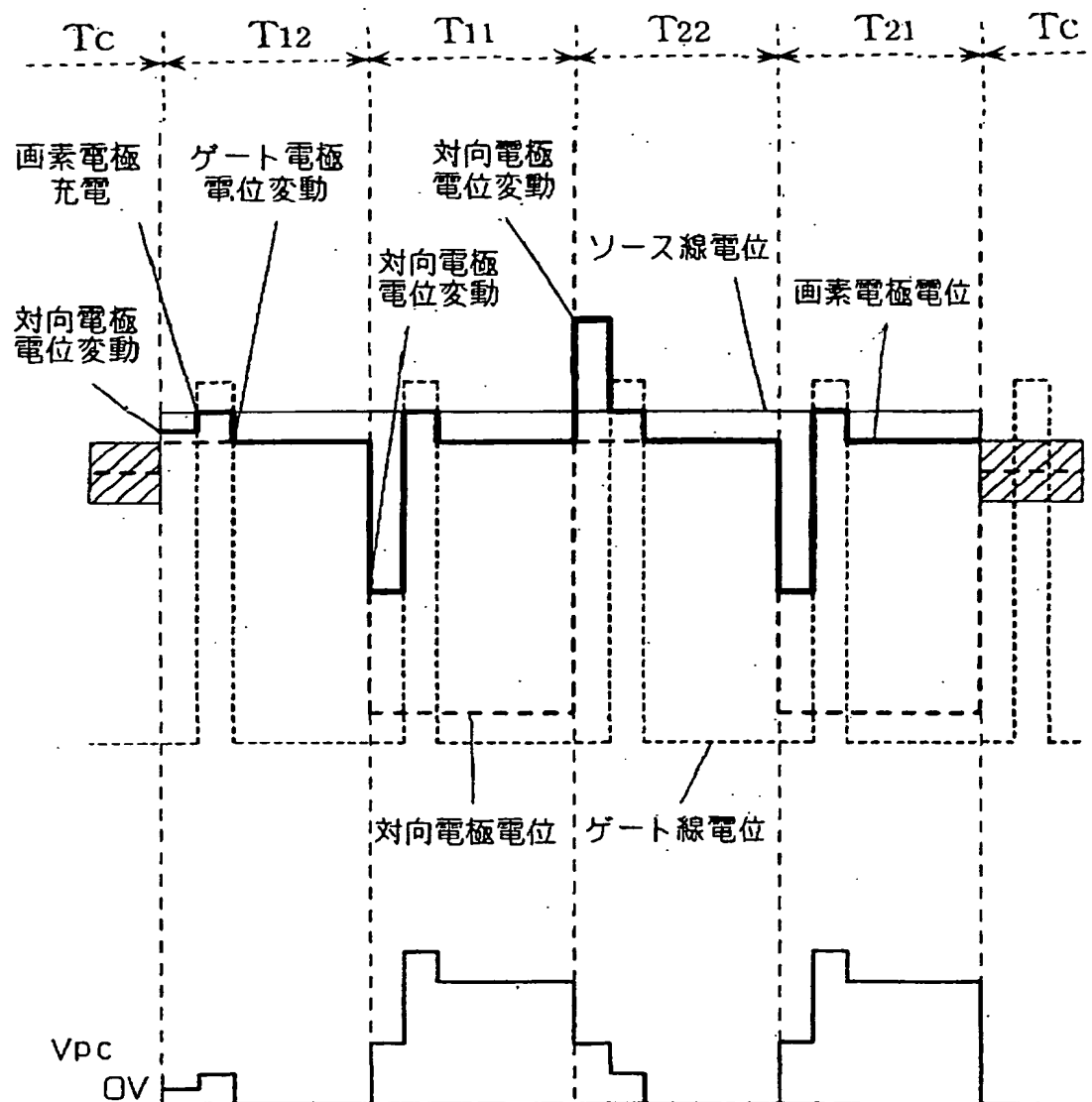
**THIS PAGE BLANK (USPTO)**

Fig. 31



**THIS PAGE BLANK (USPTO)**

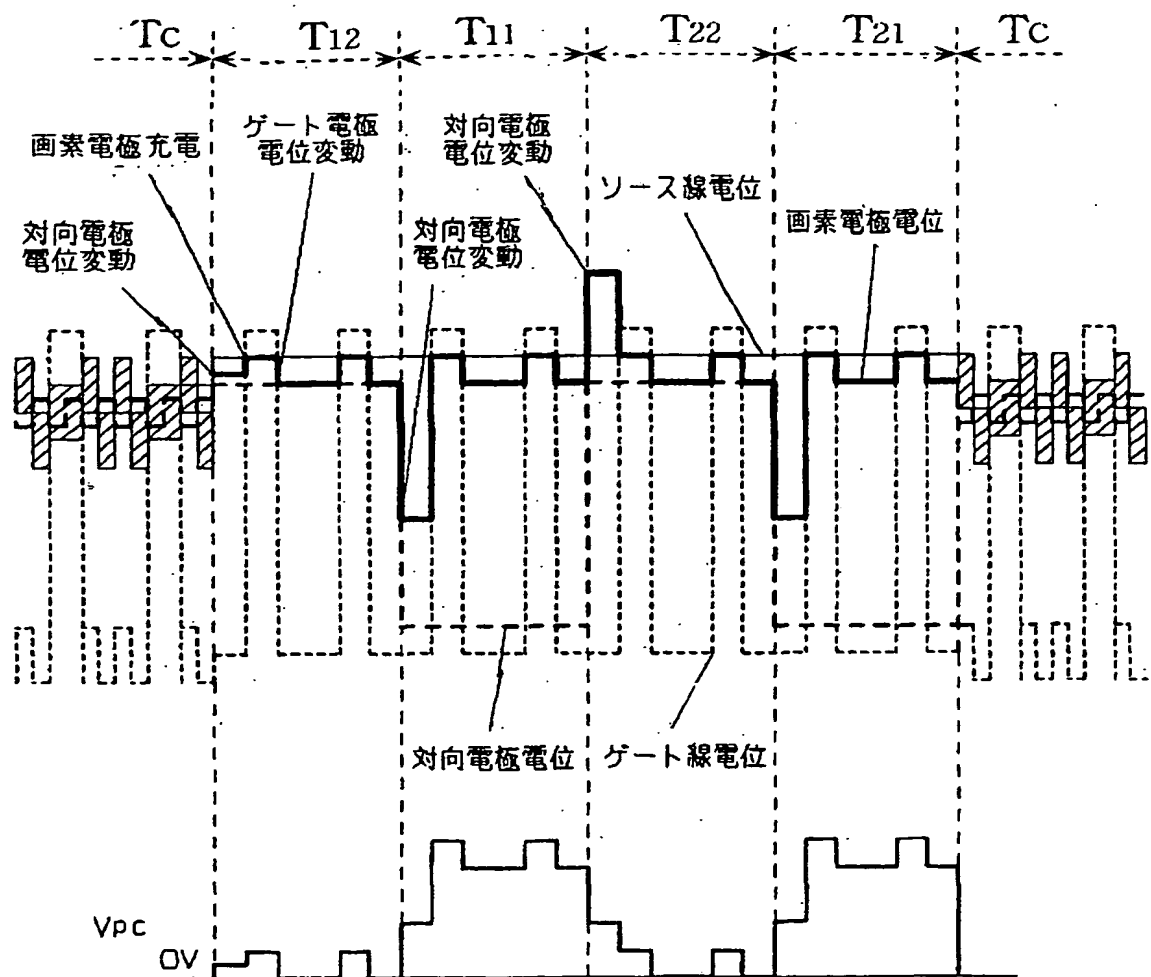
Fig. 32



**THIS PAGE BLANK (USPTO)**

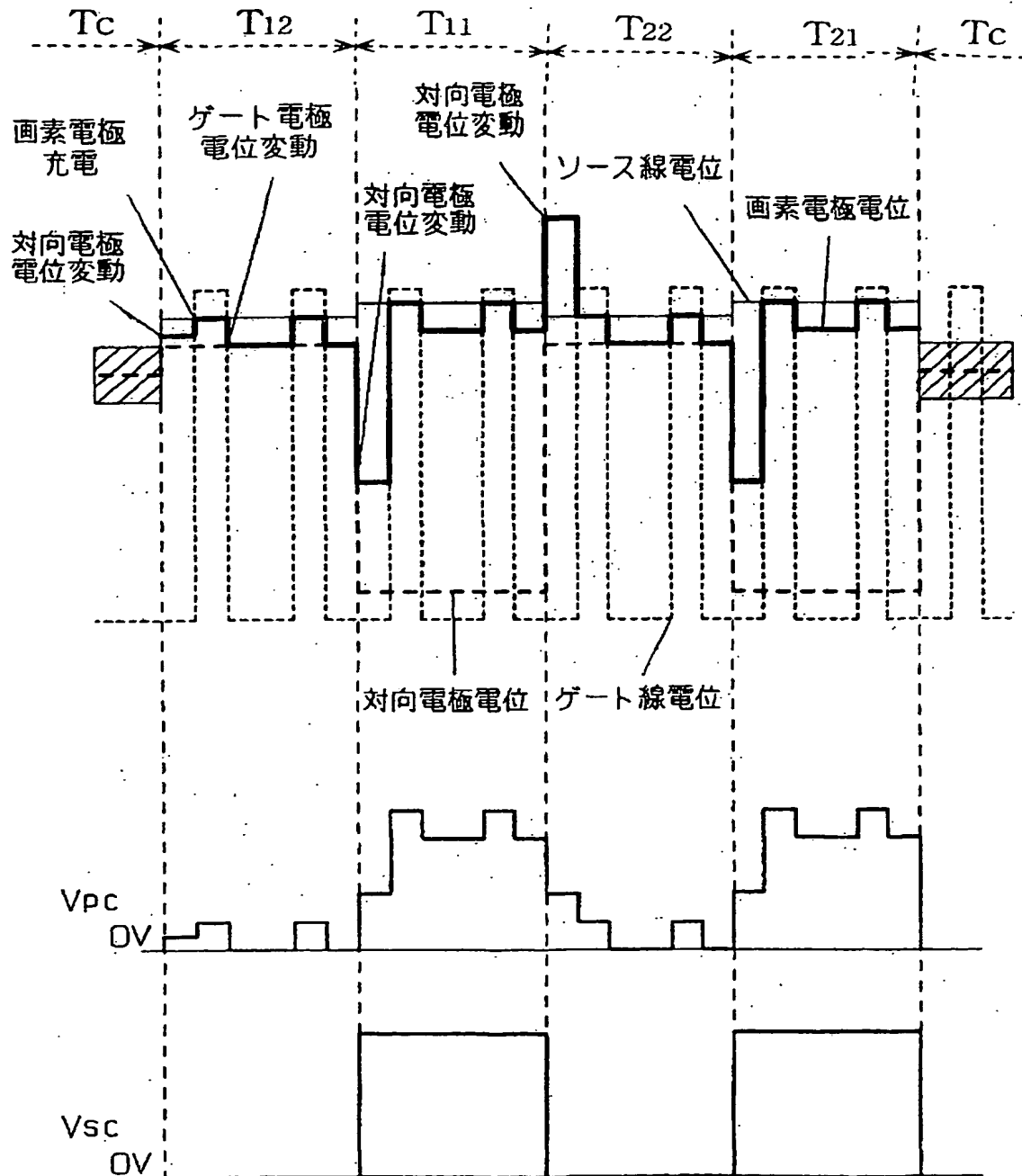


Fig. 33



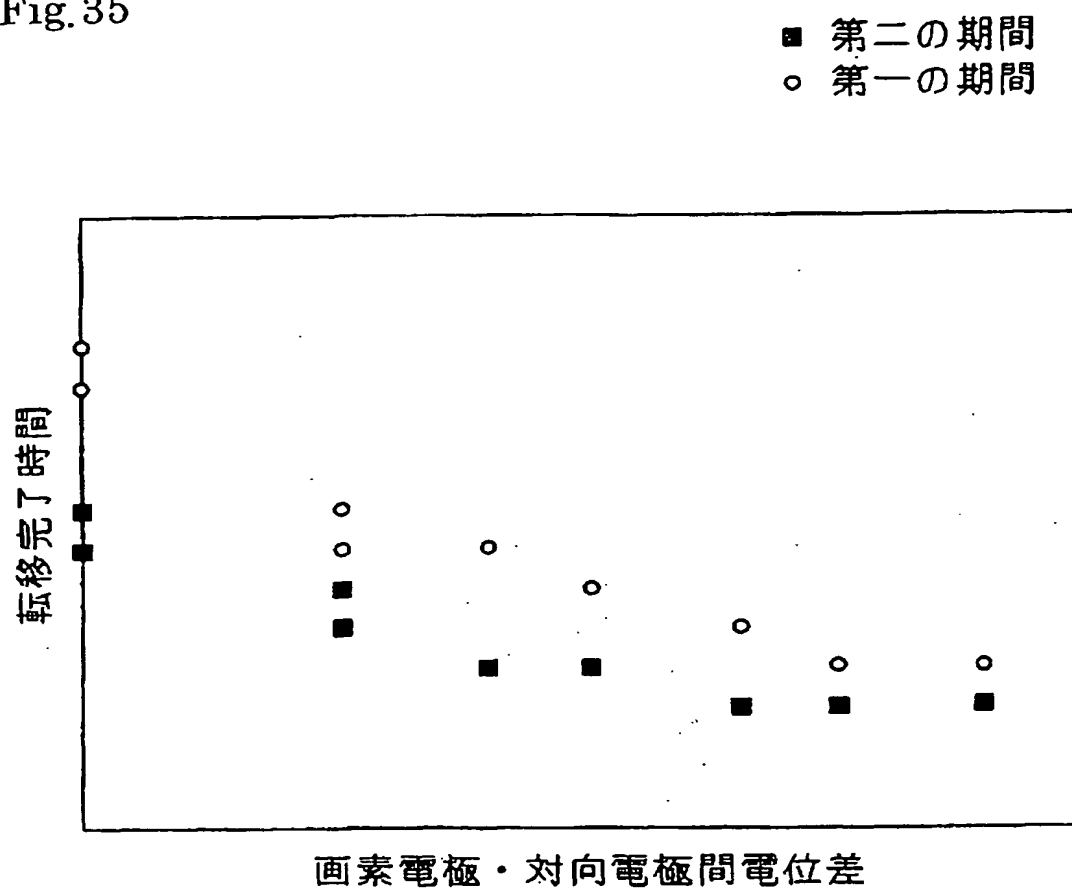
**THIS PAGE BLANK (USPTO)**

Fig. 34



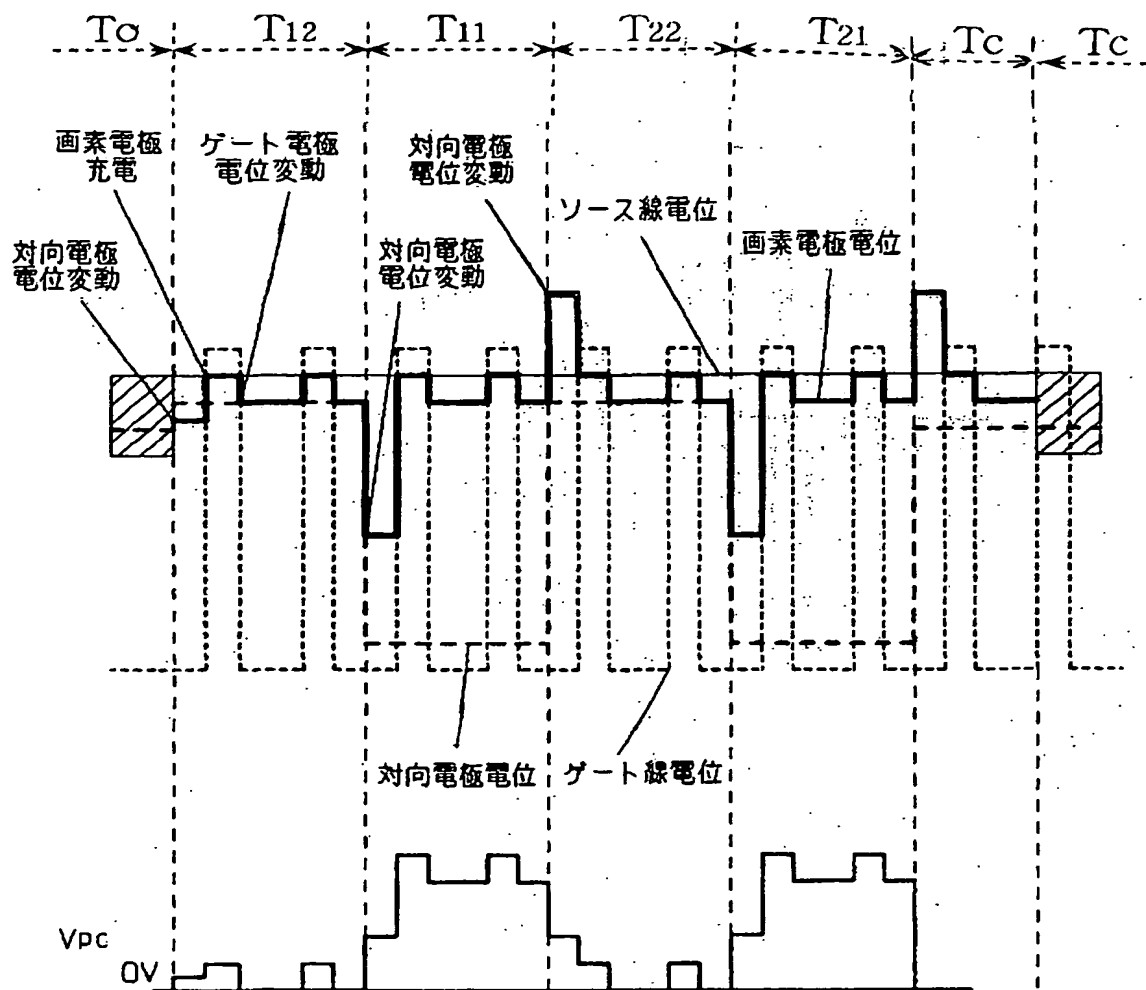
**THIS PAGE BLANK (USPTO)**

Fig. 35



**THIS PAGE BLANK (USPTO)**

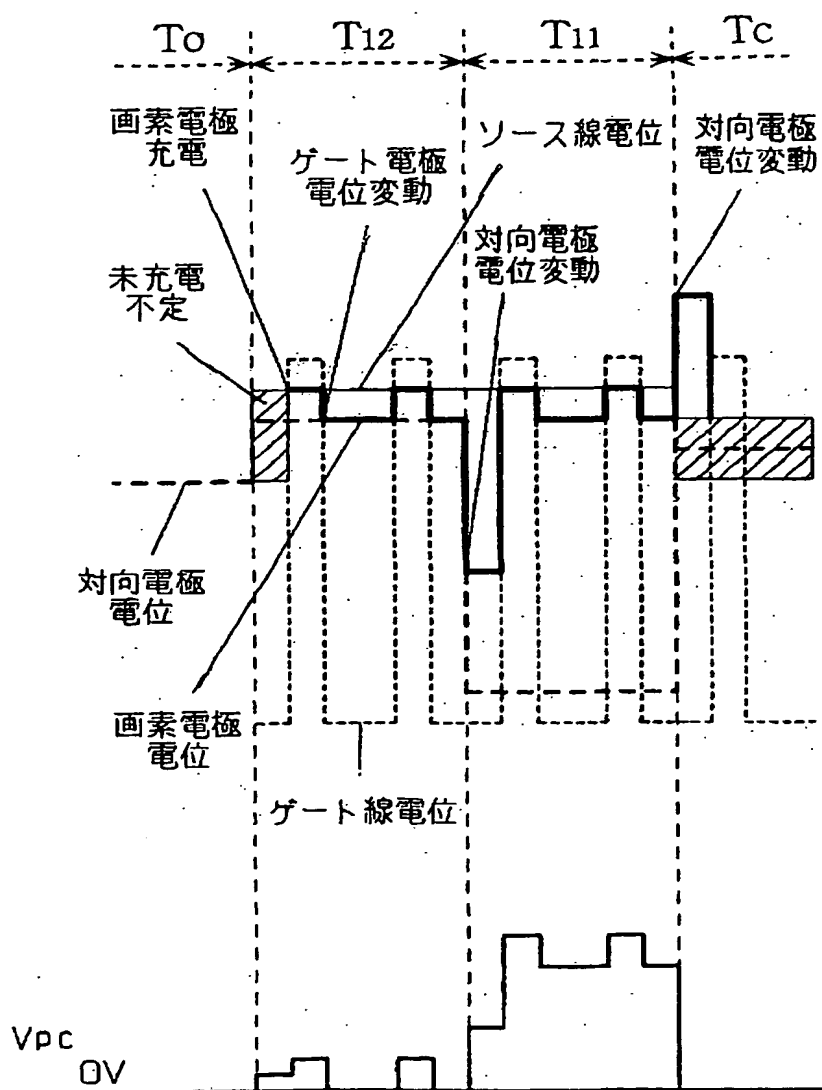
Fig. 36



**THIS PAGE BLANK (USPTO)**

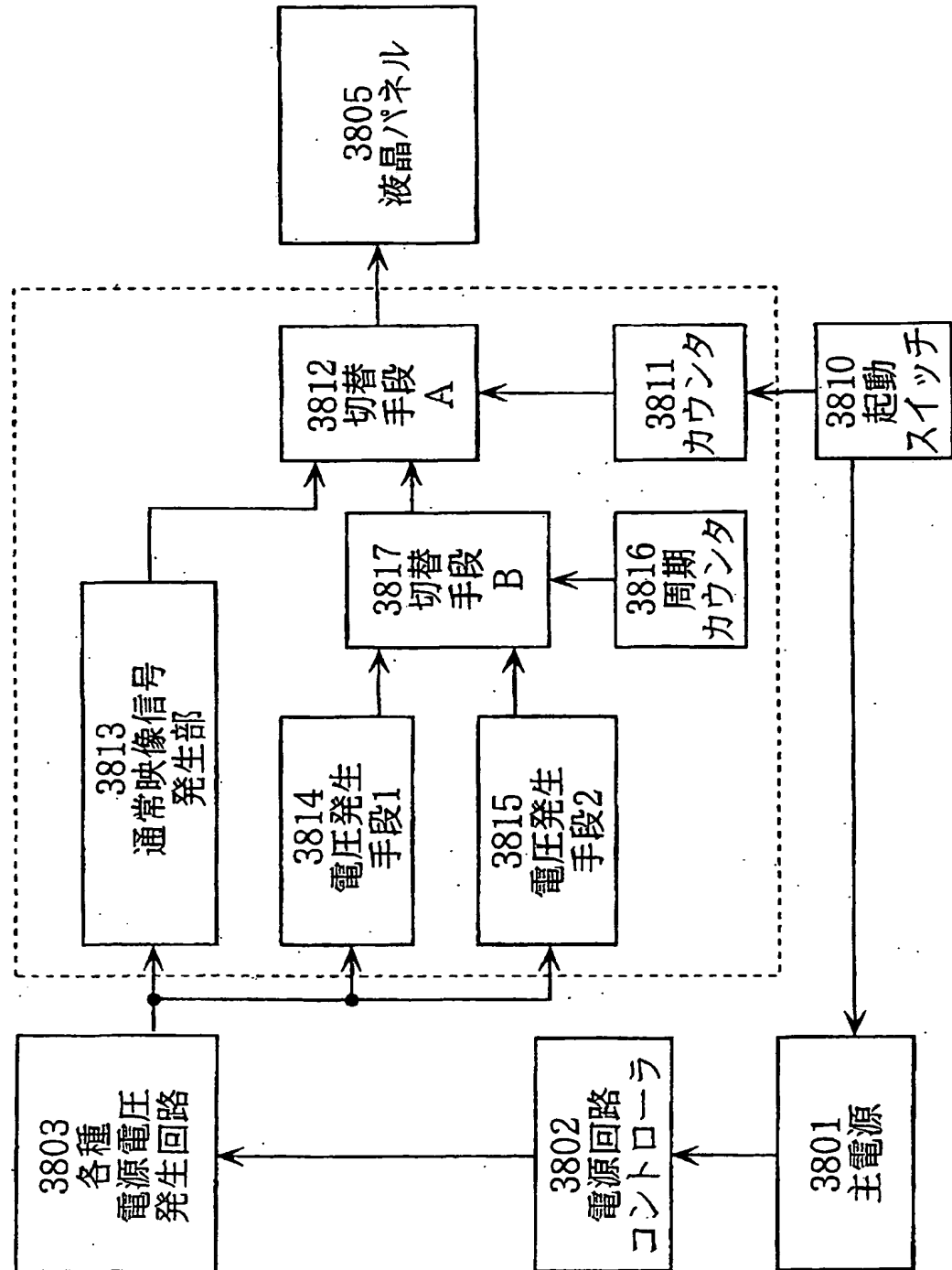


Fig. 37



**THIS PAGE BLANK (USPTO)**

Fig. 38



**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/07291

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G02F 1/137  
G02F 1/133

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G02F 1/137  
G02F 1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-2000  
Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X  A	JP, 9-185037, A (International Business Machines Corp.), 15 July, 1997 (15.07.97), page 2, left column, lines 2 to 11; page 2, left column, lines 27-46; page 3, left column, lines 30 to 40; page 3, right column, line 27 to page 4, right column, line 17; page 5, left column, line 49 to right column, line 35; Figs. 1 to 4, 8 to 10 (Family: none)	1-4, 8, 9, 37, 38, 41-46  5-7, 10-36, 39, 4 0, 47-57

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not  
 considered to be of particular relevance  
 "E" earlier document but published on or after the international filing  
 date  
 "L" document which may throw doubts on priority claim(s) or which is  
 cited to establish the publication date of another citation or other  
 special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other  
 means  
 "P" document published prior to the international filing date but later  
 than the priority date claimed

"T" later document published after the international filing date or  
 priority date and not in conflict with the application but cited to  
 understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be  
 considered novel or cannot be considered to involve an inventive  
 step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be  
 considered to involve an inventive step when the document is  
 combined with one or more other such documents, such  
 combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
13 December, 2000 (13.12.00)

Date of mailing of the international search report  
26 December, 2000 (26.12.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USPTO)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G02F 1/137  
G02F 1/133

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G02F 1/137  
G02F 1/133

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-2000年  
日本国公開実用新案公報 1971-1995年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 9-185037, A (インターナショナル・ビジネス・マシーンズ・コーポレーション), 15. 7月. 1997 (15. 07. 97), 第2頁左欄第2~11行, 同頁左欄第27~46行, 第3頁左欄第30~40行, 同頁右欄第27行~第4頁右欄第17行, 第5頁左欄第49行~同頁右欄第35行, 第1~4図, 第8~10図 (ファミリーなし)	1-4, 8, 9, 37, 38, 41-46
A		5-7, 10-36, 39, 40, 47-57

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

13. 12. 00

国際調査報告の発送日

26.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉野 公夫

2X

8106

電話番号 03-3581-1101 内線 3293

**THIS PAGE BLANK (USPTO)**